

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

Publication number: JP2002237540

Publication date: 2002-08-23

Inventor: TAKAHASHI KOJI

Applicant: FUJITSU LTD

Classification:

- International: H01L21/336; H01L21/8247; H01L27/115; H01L29/788; H01L29/792; G11C16/04; H01L21/314; H01L21/02; H01L21/70; H01L27/115; H01L29/66; G11C16/04; (IPC1-7): H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- European: H01L21/336F; H01L21/8247M2; H01L27/115; H01L29/792

Application number: JP20010031320 20010207

Priority number(s): JP20010031320 20010207

Also published as:

EP1231646 (A2)
US6642586 (B2)
US2002105037 (A1)
KR20020065858 (A)
EP1231646 (A3)

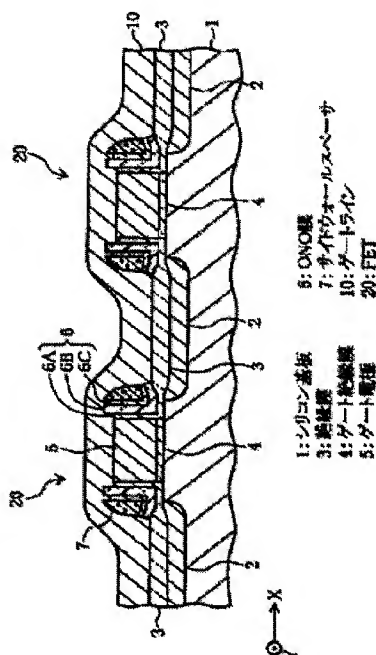
Report a data error here

Abstract of JP2002237540

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which two-bit information can be stored by one memory cell and which can be driven at a low voltage.

SOLUTION: A gate insulating film is formed on a partial region on the surface of a semiconductor substrate, and a gate electrode is formed on it. An ONO film is formed on the side face of the gate electrode and on the surface of the semiconductor substrate on both sides of the gate electrode, so as to follow the side face and the surface. A silicon nitride film in the ONO film traps carriers. A conductive sidewall spacer faces the side face of the gate electrode and the surface of the semiconductor substrate via a laminated film. A conductive connecting member electrically connects the sidewall spacer to the gate electrode. A source region and a gate region are formed, in regions sandwiching the gate electrode from among the surface layer part of the semiconductor substrate.

第1の実施例による半導体装置



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237540

(P2002-237540A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/8247
29/788
29/792
27/115

H 0 1 L 29/78
27/10

3 7 1 5 F 0 8 3
4 3 4 5 F 1 0 1

審査請求 未請求 請求項の数10 O L (全 31 頁)

(21) 出願番号 特願2001-31320(P2001-31320)

(22) 出願日 平成13年2月7日 (2001.2.7)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高橋 浩司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎

最終頁に続く

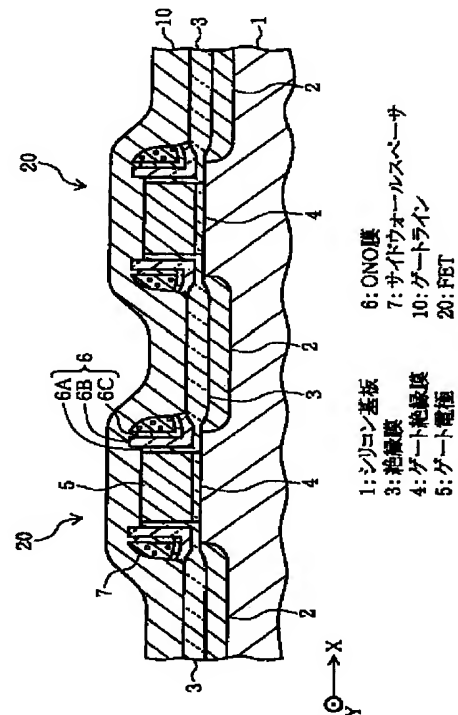
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 一つのメモリセルで2ビットの情報を記憶することが可能で、かつ低電圧駆動が可能な半導体装置を提供する。

【解決手段】 半導体基板の表面の一部の領域上にゲート絶縁膜が形成され、その上にゲート電極が形成されている。ゲート電極の側面、及び該ゲート電極の両側の前記半導体基板の表面上に、該側面及び表面に倣うようにONO膜が形成されている。ONO膜中の窒化シリコン膜がキャリアをトラップする。導電性のサイドウォールスペーサが、積層膜を介して、ゲート電極の側面及び半導体基板の表面に対向する。導電性の接続部材が、サイドウォールスペーサとゲート電極とを電気的に接続する。半導体基板の表層部のうち、ゲート電極を挟む領域の各々に、ソース及びドレイン領域が形成されている。

第1の実施例による半導体装置



【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の表面の一部の領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成されたゲート電極と、

前記ゲート電極の側面、及び該ゲート電極の両側の前記半導体基板の表面上に、該側面及び表面に倣うように形成された積層膜であって、少なくとも 3 層構造を有し、3 層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜と、

前記積層膜を介して、前記ゲート電極の側面及び前記半導体基板の表面に対向するように配置された導電性材料からなるサイドウォールスペーサと、

前記サイドウォールスペーサと前記ゲート電極とを電気的に接続する導電性の接続部材と、

前記半導体基板の表層部のうち、前記半導体基板の表面に平行な第 1 の方向に関して、前記ゲート電極を挟む領域の各々に形成され、前記積層膜の縁から横方向もある深さまで侵入し、かつ該ゲート電極の縁までは達していない不純物拡散領域とを有する半導体装置。

【請求項 2】 半導体基板と、

前記半導体基板の表層部に形成され、第 1 の方向に延在し、相互に平行に配置された第 1 導電型の複数の不純物拡散領域と、

前記半導体基板の上に配置され、前記第 1 の方向と交差する第 2 の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、

相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置された F E T と、前記第 1 の方向に並んだ 2 つの F E T のチャンネル領域の間の基板表層部に形成された第 1 導電型とは反対の第 2 導電型のチャンネルストッパ領域とを有し、

前記 F E T の各々が、

対応する一対の不純物拡散領域に挟まれた前記チャンネル領域と、

該チャンネル領域の上に形成され、対応する一対の不純物拡散領域の各々からある間隔を隔てて配置されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成され、対応するゲートラインに接続されたゲート電極と、

対応する一対の不純物拡散領域の各々と前記ゲート電極との間の前記半導体基板の表面、及び前記ゲート電極の側面をコンフォーマルに覆い、少なくとも 3 層を含み、中央の層が両側の層よりもキャリアをトラップし易い材料で形成されている積層膜と、

前記積層膜を介して、前記ゲート電極の側面及び前記チャンネル領域に対向するように配置され、導電性材料で形

成され、対応するゲートラインに接続されたサイドウォールスペーサとを含む半導体装置。

【請求項 3】 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極との 2 層を形成する工程と、前記半導体基板、ゲート絶縁膜、及びゲート電極の露出した表面上に、該表面に倣うように積層膜を形成する工程であって、該積層膜が少なくとも 3 層構造を有し、3 層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、

前記積層膜の表面のうち、前記ゲート電極の側面に沿った領域上に、導電性のサイドウォールスペーサを形成する工程と、

前記積層膜のうち、前記サイドウォールスペーサで覆われていない領域において、該積層膜の少なくとも中央の層までをエッチングする工程と、

前記ゲート電極及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部に第 1 の不純物を注入する工程と、

前記半導体基板の表面のうち、前記ゲート電極及びサイドウォールスペーサで覆われていない領域を局所的に酸化し、第 1 の絶縁膜を形成する工程と、

前記ゲート電極の上面及び前記サイドウォールスペーサの表面に形成された絶縁膜を除去する工程と、

前記ゲート電極の上面と前記サイドウォールスペーサの表面とを、電気的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

【請求項 4】 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極とゲート上部膜との 3 層を形成する工程と、

少なくとも前記半導体基板とゲート絶縁膜とゲート電極との露出した表面を覆う下層、該下層と前記ゲート上部膜の表面を覆う中層、及び該中層を覆う上層からなる積層膜であって、下層、中層、及び上層の各々が絶縁材料で形成されており、中層が下層及び上層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、

前記積層膜の表面を覆う導電性の第 1 の膜を形成する工程と、

前記積層膜及び前記第 1 の膜を異方性エッチングし、前記ゲート電極及びゲート上部膜の側面上に、前記第 1 の膜の一部からなるサイドウォールスペーサ及び前記積層膜の一部を残すとともに、前記半導体基板の表面のうち前記ゲート電極の配置されていない領域においては、少なくとも前記第 1 の膜と、前記積層膜の上層及び中層を除去する工程と、

前記ゲート電極、ゲート上部膜、及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部に第 1 の不純物を注入する工程と、

前記半導体基板の全面上に絶縁材料からなる第 2 の膜を

堆積する工程と、
 前記第 2 の膜を、前記ゲート上部膜が露出するまで研磨する工程と、
 前記ゲート上部膜、及び該ゲート上部膜の側面上に残っていた前記積層膜を除去する工程と、
 前記ゲート電極の上面と前記サイドウォールスペーサの露出した表面とを、電氣的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

【請求項 5】 半導体基板の表層部に画定されたチャネル領域の上に形成されたゲート絶縁膜と、
 前記チャネル領域の両側の表層部に形成されたソース及びドレイン領域と、
 前記ゲート絶縁膜の上面を、前記ソース領域側の第 1 の領域、前記ドレイン領域側の第 2 の領域、及び該第 1 の領域と第 2 の領域とに挟まれた第 3 の領域とに区分したとき、前記第 1 の領域と第 2 の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、
 前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜と、
 前記被覆膜、及び前記第 3 の領域上のゲート絶縁膜の表面のうち、少なくとも前記ソース領域とチャネル領域との境界から、前記ドレイン領域とチャネル領域との境界までを連続的に覆うゲート電極とを有する半導体装置。

【請求項 6】 半導体基板と、
 前記半導体基板の表層部に形成され、第 1 の方向に延在し、相互に平行に配置された第 1 導電型の複数の不純物拡散領域と、
 前記半導体基板の上に配置され、前記第 1 の方向と交差する第 2 の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、
 相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置された F E T と、
 前記第 1 の方向に並んだ 2 つの F E T のチャネル領域の間の基板表層部に形成され、前記第 1 導電型とは反対の第 2 導電型を有するチャネルストップ領域とを有し、
 前記 F E T の各々が、
 対応する一対の不純物拡散領域に挟まれた前記チャネル領域と、
 該チャネル領域の上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上面を、対応する一対の不純物拡散領域の一方の側の第 1 の領域、他方の側の第 2 の領域、及び該第 1 の領域と第 2 の領域とに挟まれた第 3 の領域とに区分したとき、前記第 1 の領域と第 2 の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、
 前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜とを有し、

前記ゲートラインが、対応する F E T のゲート絶縁膜の前記第 3 の領域及び被覆膜を覆い、該 F E T のゲート電極を兼ねる半導体装置。

【請求項 7】 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、

前記半導体基板の表面上に、ある間隔を隔てて相互に平行に配置された一対の細長い第 1 のチャネル領域の上の、前記上部絶縁膜の表面をレジストパターンで覆う工程と、

前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、

前記半導体基板の表層部に不純物をイオン注入する工程であって、前記一対のレジストパターンの間の領域がレジストパターンの陰になり、陰の部分に不純物が注入されず、該一対のレジストパターンの外側の領域の各々においては、イオン注入された領域の縁が該レジストパターンの縁と一致するかもしくは該レジストパターンの縁よりも内側まで侵入する条件でイオン注入する工程と、

前記レジストパターンを除去する工程と、

前記半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第 1 の膜を形成する工程と、

前記一対の第 1 のチャネル領域上のキャリアトラップ膜を覆う上部絶縁膜の上及び該一対の第 1 のチャネル領域の間の前記ゲート絶縁膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

【請求項 8】 半導体基板の表層部に、ある間隔を隔てて形成されたソース領域及びドレイン領域と、

前記ソース領域とドレイン領域との間の表層部に、該ソース領域及びドレイン領域のいずれともある間隔を隔てて配置され、前記ソース領域及びドレイン領域と同一導電型の不純物が添加された中間領域と、

前記ソース領域と前記中間領域との間のチャネル領域、及び前記ドレイン領域と中間領域との間のチャネル領域を覆うゲート絶縁膜と、

前記ソース領域、ドレイン領域、及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第 1 の膜と、

前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、

前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜と、

一方の前記チャネル領域から中間領域を経由して他方のチャネル領域までの領域上に配置されている前記被覆膜及び第 1 の膜を覆うゲート電極とを有する半導体装置。

【請求項 9】 半導体基板と、
 前記半導体基板の表層部に形成され、第 1 の方向に延在

し、相互に平行に配置された第 1 導電型の複数の不純物拡散領域と、
 前記半導体基板の上に配置され、前記第 1 の方向と交差する第 2 の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、
 相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置された FET とを有し、
 前記 FET の各々が、
 対応する一対の前記不純物拡散領域の間の基板表層部に、両者のいずれからもある間隔を隔てて配置され、該不純物拡散領域と同一導電型の中間領域と、
 対応する一対の前記不純物拡散領域の各々と、前記中間領域との間のチャンネル領域を覆うゲート絶縁膜と、
 前記一対の不純物拡散領域及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第 1 の膜と、
 前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、
 前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜とを有し、
 前記 FET の各々に対応する前記ゲートラインが、前記被覆膜及び第 1 の膜上に配置され、当該 FET のゲート電極を兼ね、
 さらに、
 前記第 1 の方向に並ぶ 2 つの FET のチャンネル領域の間の基板表層部に形成された前記第 1 導電型とは反対の第 2 導電型のチャンネルストップ領域を有する半導体装置。
 【請求項 10】 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、
 前記上部絶縁膜の上に、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、
 前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、
 前記レジストパターンをマスクとして、前記半導体基板の表層部に、不純物をイオン注入する工程と、
 前記レジストパターンを除去する工程と、
 半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第 1 の膜を形成する工程と、
 前記レジストパターンの形成されていた領域に残っている前記被覆膜及びその間の第 1 の膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。
 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に FET のチャンネル領域上に配置された 3 層構造の中央の層にキャリアをトラップして情報を記憶する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図 23 (A) に、従来のフラッシュメモリセルの断面図の一例を示す。p 型のシリコン基板 700 の表層部に、n 型のソース領域 701 及びドレイン領域 702 が形成され、その間にチャンネル領域 703 が画定されている。ソース領域 701 及びドレイン領域 702 の表面が、局所酸化膜 705 で覆われている。

【0003】チャンネル領域 703 の表面上に、下層の酸化シリコン膜 706A、窒化シリコン膜 706B、及び上層の酸化シリコン膜 706C がこの順番に積層された積層膜（以下、ONO 膜と呼ぶ）706 が形成されている。局所酸化膜 705 及び ONO 膜 706 の上に、ゲート電極 707 が形成されている。

【0004】次に、図 23 (A) に示したフラッシュメモリセルの動作原理について説明する。

【0005】書き込み時には、ソース領域 701 に印加するソース電圧 V_s 及び基板電圧 V_{sub} を 0V、ドレイン領域 702 に印加するドレイン電圧 V_d を 5V、ゲート電極 707 に印加するゲート電圧 V_g を 10V とする。チャンネル領域 703 とドレイン領域 702 との境界の近傍でチャンネルホットエレクトロン注入 (CHE 注入) が生じ、窒化シリコン膜 706B 内に電子がトラップされる。

【0006】ソース領域 701 とドレイン領域 702 とに印加する電圧を逆にすることにより、窒化シリコン膜 706B のうち、チャンネル領域 703 とソース領域 701 との境界の近傍の部分に電子をトラップすることができる。これにより、一つのメモリセルで 2 ビットの情報を記憶することができる。

【0007】読み出し時には、ドレイン電圧 V_d 及び基板電圧 V_{sub} を 0V、ソース電圧 V_s を 1V、ゲート電圧 V_g を 3.3V とする。窒化シリコン膜 706B 内に電子がトラップされている状態では、チャンネル領域 703 の、ドレイン領域 702 側の端部にキャリア濃度分布の反転領域が形成されない。このため、ソースドレイン間に電流が流れない。窒化シリコン膜 706B 内に電子がトラップされていない状態では、ソースドレイン間にドレイン電流が流れる。なお、ソース領域 701 の近傍においては、ソース領域 701 からチャンネル領域 703 内に空乏領域が延びるため、ドレイン電流は、ソース領域 701 側の部分へのキャリアトラップの有無による影響をほとんど受けない。

【0008】ソース電圧 V_s とドレイン電圧 V_d とを逆にすることにより、窒化シリコン膜 706B のうち、ソース領域 701 とチャンネル領域 703 との境界の近傍の

部分に電子がトラップされているか否かを検出することができる。

【0009】消去時には、基板電圧 V_{sub} を0V、ソース電圧 V_s を5Vまたはフローティング状態、ドレイン電圧 V_d を5V、ゲート電圧 V_g を-5Vとする。バンド間トンネリングにより、ドレイン領域702とチャネル領域703との境界近傍において、窒化シリコン膜706B内に正孔が注入される。これにより、トラップされていた電子による電荷が中和される。

【0010】ソース電圧 V_s とドレイン電圧 V_d とを逆にするにより、窒化シリコン膜706Bのうち、ソース領域701とチャネル領域703との境界の近傍に正孔を注入することができる。

【0011】CHE注入により窒化シリコン膜706Bにトラップされる電子の密度分布は、バンド間トンネリングにより注入される正孔の密度分布に比べて、チャネル領域703の中央側に寄っている。チャネル領域703の中央寄りに分布する電子による電荷を中和するために、バンド間トンネリングにより、かなり多くの正孔を注入する必要がある。

【0012】また、フラッシュメモリの書き込み消去動作を繰り返すと、窒化シリコン膜706Bにトラップされる電子の密度分布が、チャネル領域703の中央に向かって延びていくと考えられる。このため、書き込み消去動作を繰り返すと、正孔の注入による消去のために必要とされる時間が長くなってしまふ。

【0013】また、書き込み時には、CHE注入の他に、2次衝突電離ホットエレクトロン注入も発生すると考えられる。2次衝突電離ホットエレクトロン注入が生じると、窒化シリコン膜706Bのうちチャネル領域703の中央部上の領域に、電子がトラップされる。チャネル領域703の中央部上の窒化シリコン膜706Bにトラップされた電子は、バンド間トンネリングによる正孔の注入では引く抜くことができない。このため、書き込みと消去とを繰り返すと、しきい値が徐々に上昇してしまう。本願発明者による評価実験では、製造直後には、メモリの書き込み時及び消去時のしきい値がそれぞれ約3.8V及び2.5Vであったが、1万回の書き込みと消去とを繰り返した後のしきい値は、それぞれ約4.6V及び3.25Vまで上昇した。

【0014】図23(B)に、特開平9-252059号公報に開示されたフラッシュメモリの断面図を示す。

【0015】p型のシリコン基板710の表層部に、n型のソース領域711及びドレイン領域712が形成され、その間にチャネル領域714が画定されている。ドレイン領域712とシリコン基板710との界面に、低濃度のn型不純物拡散領域713が形成されている。

【0016】チャネル領域714の表面上にゲート絶縁膜715が形成され、その上にゲート電極716が形成

されている。ゲート絶縁膜715及びゲート電極716は、ソース領域711及びドレイン領域712のいずれから、ある間隔を隔てて配置されている。ゲート電極716の、ドレイン領域712側の端部が、低濃度の不純物拡散領域713の一部と重なる。

【0017】ゲート電極716の側面、ゲート電極716とソース領域711との間の基板表面、及びゲート電極716とドレイン領域712との間の基板表面を、ONO膜717が覆う。ONO膜717は、酸化シリコン膜717A、窒化シリコン膜717B、及び酸化シリコン膜717Cの3層構造を有する。ONO膜717の表面上に、酸化シリコンからなるサイドウォールスペーサ718が形成されている。

【0018】低濃度の不純物拡散領域713が形成されていない場合には、ゲート電極716にしきい値電圧以上の電圧を印加しても、ゲート電極716とドレイン領域712との間の基板の表層部にはチャネルが形成されない。図23(B)に示したメモリセルでは、この部分に低濃度のn型の不純物拡散領域713が配置されているため、ソースドレイン間に電流が流れる。なお、ソース領域711側においては、ソース領域711からゲート電極716の端部まで空乏層が延びるため、低濃度不純物拡散領域を配置する必要はない。

【0019】書き込み時には、ソース領域711に正電圧を印加し、ゲート電極716にさらに高い正電圧を印加し、ドレイン領域712をフローティング状態にする。アバランシェホットエレクトロン注入により、ソース領域711側の窒化シリコン膜717B内に電子がトラップされる。なお、ドレイン領域712に0Vを印加し、CHE注入を利用してもよい。

【0020】消去時には、ソース領域711に正電圧を印加し、ゲート電極716に負電圧を印加する。アバランシェホットホール注入により、ソース領域711側の窒化シリコン膜717Bに正孔がトラップされる。これにより、電荷が中和される。なお、ゲート電圧の絶対値をより大きくしてファーレンホルツトンネリング(FNトンネリング)を生じさせ、窒化シリコン膜717B内にトラップされている電子をチャネル領域714に引き抜いてもよい。

【0021】図23(B)に示した従来例では、チャネル領域714の中央部に窒化シリコン膜が配置されていない。このため、窒化シリコン膜にトラップされる電子の濃度分布がチャネル領域714の中央に向かって延びることを防止できる。ただし、ドレイン領域712側に低濃度不純物拡散領域713が配置されているため、ドレイン領域712側の窒化シリコン膜717Bに電子を注入することができない。このため、一つのメモリセルで1ビットの情報しか記憶することができない。

【0022】図23(C)に、図23(B)のメモリセルを改良したメモリセルの断面図を示す。図23(B)

に示したメモリセルでは、サイドウォールスペーサ 718 が酸化シリコンで形成されていたが、図 23 (C) に示したメモリセルでは、サイドウォールスペーサ 720 がポリシリコンで形成されている。このため、ゲート電極 716 とドレイン領域 710 との間の基板の表層部が、サイドウォールスペーサ 720 を介してゲート電極に容量結合する。容量結合によって、ゲート電極 716 とドレイン領域 712 との間にチャンネルを形成することができるため、図 23 (B) に示した低濃度の不純物拡散領域 713 は配置されていない。

【0023】図 23 (C) に示したメモリセルの書込み及び消去の原理は、図 23 (B) に示したメモリセルの動作原理と同様である。ドレイン領域 712 とチャンネル領域 714 との間に、低濃度の不純物拡散領域が配置されていないため、図 23 (A) に示したメモリセルと同様に、一つのメモリセルで 2 ビットの情報を記憶することができる。

【0024】

【発明が解決しようとする課題】図 23 (C) に示したメモリセルにおいては、ゲート電極 716 とサイドウォールスペーサ 720 との間のキャパシタ、及びサイドウォールスペーサ 720 とチャンネル領域 714 との間のキャパシタによって、ソース領域 711 とゲート電極 716 との間に加わる電圧が分割される。このため、書込み及び消去時に、ゲート電圧を高くしなければならない。ところが、ゲート電圧を高くしすぎると、ゲート絶縁膜 715 が絶縁破壊を起こしてしまう。

【0025】また、ゲート電極 716 とサイドウォールスペーサ 720 との間の静電容量、及びサイドウォールスペーサ 720 とチャンネル領域 714 との間の静電容量がばらついた場合には、サイドウォールスペーサ 720 とチャンネル領域 714 との間に発生する電界強度が変動し、過書込みや過消去が生じてしまう。

【0026】本発明の目的は、一つのメモリセルで 2 ビットの情報を記憶することが可能で、かつ低電圧駆動が可能な半導体装置及びその製造方法を提供することである。

【0027】

【課題を解決するための手段】本発明の一観点によると、半導体基板と、前記半導体基板の表面の一部の領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極の側面、及び該ゲート電極の両側の前記半導体基板の表面上に、該側面及び表面に倣うように形成された積層膜であって、少なくとも 3 層構造を有し、3 層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜と、前記積層膜を介して、前記ゲート電極の側面及び前記半導体基板の表面に対向するように配置された導電性材料からなるサイドウォールスペーサと、前記サイドウォール

スペーサと前記ゲート電極とを電気的に接続する導電性の接続部材と、前記半導体基板の表層部のうち、前記半導体基板の表面に平行な第 1 の方向に関して、前記ゲート電極を挟む領域の各々に形成され、前記積層膜の縁から横方向もある深さまで侵入し、かつ該ゲート電極の縁までは達していない不純物拡散領域とを有する半導体装置が提供される。

【0028】不純物拡散領域をソース領域及びドレイン領域とする FET が構成される。ゲート電圧が直接サイドウォールスペーサに印加され、その下のチャンネル領域のキャリア濃度が制御される。CHE 注入等により積層膜にキャリアをトラップすると、しきい値が変動する。キャリアのトラップの有無が、情報の 0 と 1 に対応づけられる。しきい値の変動を検出することにより、情報を読み出すことができる。トラップされているキャリアとは反対の電荷を有するキャリアを積層膜に注入することにより、記憶された情報を消去することができる。

【0029】本発明の他の観点によると、半導体基板の表層部に画定されたチャンネル領域の上に形成されたゲート絶縁膜と、前記チャンネル領域の両側の表層部に形成されたソース及びドレイン領域と、前記ゲート絶縁膜の上面を、前記ソース領域側の第 1 の領域、前記ドレイン領域側の第 2 の領域、及び該第 1 の領域と第 2 の領域とに挟まれた第 3 の領域とに区分したとき、前記第 1 の領域と第 2 の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜と、前記被覆膜、及び前記第 3 の領域上のゲート絶縁膜の表面のうち、少なくとも前記ソース領域とチャンネル領域との境界から、前記ドレイン領域とチャンネル領域との境界までを連続的に覆うゲート電極とを有する半導体装置が提供される。

【0030】キャリアトラップ膜にキャリアをトラップすると、しきい値が変動する。しきい値変動を検出することにより、キャリアトラップの有無を判定することができる。チャンネル領域の中央近傍に一旦キャリアがトラップされると、トラップされたキャリアの引き抜きが困難になる。第 3 の領域にキャリアトラップ膜が配置されていないため、トラップされたキャリアを容易に引き抜くことができる。

【0031】本発明の他の観点によると、半導体基板の表層部に、ある間隔を隔てて形成されたソース領域及びドレイン領域と、前記ソース領域とドレイン領域との間の表層部に、該ソース領域及びドレイン領域のいずれともある間隔を隔てて配置され、前記ソース領域及びドレイン領域と同一導電型の不純物が添加された中間領域と、前記ソース領域と前記中間領域との間のチャンネル領域、及び前記ドレイン領域と中間領域との間のチャンネル領域を覆うゲート絶縁膜と、前記ソース領域、ドレイン領域、及び中間領域を覆い、絶縁材料で形成され、前記

10

20

30

40

50

ゲート絶縁膜よりも厚い第1の膜と、前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜と、一方の前記チャネル領域から中間領域を経由して他方のチャネル領域までの領域上に配置されている前記被覆膜及び第1の膜を覆うゲート電極とを有する半導体装置が提供される。

【0032】中間領域を経由してドレイン電流が流れる。中間領域は、ソース及びドレイン領域と同一の導電型を有するため、中間領域の上にキャリアがトラップされても、ドレイン電流は、ほとんど影響を受けない。このため、ソース領域とドレイン領域との中間近傍の領域の絶縁膜にキャリアがトラップされても、しきい値はほとんど変動しない。

【0033】

【発明の実施の形態】図1に、本発明の第1の実施例による半導体装置の概略の平面図を示す。シリコン基板の表面内に、XY直交座標を定義する。

【0034】p型シリコン基板の表層部に、相互に平行に配置されたn型の複数の不純物拡散領域2が形成されている。不純物拡散領域2の各々はY軸に平行な方向に延在する。シリコン基板の表面上に、相互に平行に配置された複数のゲートライン10が形成されている。ゲートライン10の各々は、X軸に平行である。ゲートライン10と不純物拡散領域2との交差箇所において、両者は相互に電氣的に絶縁されている。

【0035】相互に隣り合う一対の不純物拡散領域2とゲートライン10との交差箇所の各々に、電界効果型トランジスタ(FET)20が配置されている。Y軸に平行な方向に並んだ2つのFET20のチャネル領域の間の表層部に、チャネルストップ領域50が配置されている。チャネルストップ領域50は、p型の不純物拡散領域であり、その不純物濃度はシリコン基板の不純物濃度よりも高い。チャネルストップ領域50は、その両側に配置されている2つのFET20のチャネル領域同士を電氣的に絶縁する。

【0036】図2に、図1の一点鎖線A2-A2における断面図を示す。p型のシリコン基板1の表層部に、Y軸方向に延在する複数のn型不純物拡散領域2が形成されている。不純物拡散領域2の表面上に、酸化シリコンからなる絶縁膜3が形成されている。

【0037】相互に隣り合う2つの不純物拡散領域2の間の基板表面上に、酸化シリコンからなるゲート絶縁膜4が形成されている。絶縁膜3は、ゲート絶縁膜4よりも厚い。ゲート絶縁膜4は、その両側の不純物拡散領域2からある間隔を隔てて配置されている。ゲート絶縁膜4の上に、アモルファスシリコンからなるゲート電極5が形成されている。ゲート電極5の側面上及びゲート電極5と不純物拡散領域2との間の基板の表面上に、積層

膜(ONO膜)6が形成されている。ONO膜6は、酸化シリコン膜6A、窒化シリコン膜6B、及び酸化シリコン膜6Cがこの順番に積層された3層構造を有する。ONO膜6は、ゲート電極5の側面及び基板表面に倣うように(コンフォーマルに)形成されている。不純物拡散領域2は、ONO膜6の縁から横方向にある深さまで侵入しており、ゲート電極5の縁までは達していない。絶縁膜3は、ONO膜6と不純物拡散領域2との界面に沿って、不純物拡散領域2の縁よりも浅い位置まで侵入している。

【0038】ONO膜6の表面上に、アモルファスシリコンからなるサイドウォールスペーサ7が形成されている。サイドウォールスペーサ7は、ONO膜6を介してゲート電極5の側面及びシリコン基板1の表面に対向する。

【0039】シリコン基板1の上に、X軸方向に延在するゲートライン10が形成されている。相互に隣り合う一対の不純物拡散領域2とゲートライン10との交差箇所に配置されたFET20は、一対の不純物拡散領域2のうち一方をソース領域とし、他方をドレイン領域とする。ゲートライン10は、タングステンシリサイド(WSi)もしくはタングステン(W)で形成され、対応するFET20のゲート電極5とサイドウォールスペーサ7とを電氣的に接続する。さらに、ゲートライン10は、X軸方向に一系列に配列した複数のFET20のゲート電極5同士を電氣的に接続する。ゲートライン10と不純物拡散領域2との交差箇所において、両者は絶縁膜3により相互に絶縁される。

【0040】図3に、図1及び図2に示した半導体装置の部分破断斜視図を示す。シリコン基板1の表面上にフィールド酸化膜25が形成され、活性領域が画定されている。不純物拡散領域2及びFET20は、この活性領域内に配置される。相互に隣り合うゲートライン10の間の領域においては、ゲート電極5及びサイドウォールスペーサ7が除去されている。ONO膜6は、ゲートライン10の間の領域にも残されている。

【0041】ゲートライン10の端部は、フィールド酸化膜25の上まで延在している。ゲートライン10の各々の端部は、ゲートライン10を覆う層間絶縁膜に設けられたビアホール内のプラグ26を介して、上層の配線27に接続されている。不純物拡散領域2の各々は、層間絶縁膜に設けられたビアホール内のプラグ28を介して、上層の配線29に接続されている。

【0042】図4に、上記第1の実施例による半導体装置の等価回路図を示す。ワードライン10(i)、ビットライン2(j)、及びFET20(i,j)が、それぞれ図1～図3に示したゲートライン10、不純物拡散領域2、及びFET20に対応する。ビットライン2(j)の延在する方向に平行に、複数のメインライン(h)が設けられている。

【0043】i行j列目のFET20(i, j)のゲート電極が、ワードライン10(i)に接続され、ソース領域がビットライン2(j)に接続され、ドレイン領域がビットライン2(j+1)に接続されている。ビットライン2(j)は、FET42(b, h)を介してメインライン41(h)に接続され、ビットライン2(j+1)は、FET42(c, h+1)を介してメインライン41(h+1)に接続されている。ビットライン2(j+2)は、FET42(a, h)を介してメインライン41(h)に接続され、ビットライン2(j+3)は、FET42(d, h+1)を介してメインライン41(h+1)に接続されている。

【0044】FET42(a, h)、FET42(b, h)、FET42(c, h+1)、及びFET42(d, h+1)のゲート電極は、それぞれセレクトゲート線40a、40b、40c、40dに接続されている。セレクトゲート線40aと40bとの一方、セレクトゲート線40cと40dとの一方、及び1本のワードライン10(i)を選択することにより、行列状に配置された複数のFET20(i, j)から1つのFETを選択することができる。

【0045】例えば、セレクトゲート線40a、40c、及びワード線10(i)を選択すると、FET20(i, j)が選択される。このとき、メインライン41(h)に印加された電圧がFET42(a, h)を介してFET20(i, j)のソース領域に印加される。また、メインライン41(h+1)に印加された電圧が、FET42(c, h+1)を介してFET20(i, j)のドレイン領域に印加される。なお、ここでは、FET20(i, j)のソース及びドレイン領域のうち、番号の小さなビットライン2(j)に接続されている方をソース領域と呼び、番号の大きなビットライン2(j+1)に接続されている方をドレイン領域と呼ぶこととする。

【0046】次に、図5～図8を参照して、第1の実施例による半導体装置の製造方法について説明する。

【0047】図5(A)に示すp型シリコン基板1の表面上に、LOCOS法により図3に示したフィールド酸化膜25を形成する。熱酸化の温度は900～1100℃であり、フィールド酸化膜25の厚さは200～500nmである。なお、図5～図8の各図には、フィールド酸化膜25は現れていない。

【0048】温度800～1100℃でシリコン基板1の表面を酸化することにより、活性領域上に厚さ5～10nmのゲート絶縁膜4を形成する。なお、この工程で形成されるゲート絶縁膜4は、メモリセル以外の周辺のトランジスタのゲート絶縁膜を兼ねる。

【0049】ゲート絶縁膜4の表面上に、厚さ50～100nmのアモルファスシリコン膜を形成し、このアモルファスシリコン膜をパターンニングすることにより、ゲ

ート電極5を残す。ゲート電極5にはリン(P)がドーブされ、n型導電性が付与されている。この状態では、ゲート電極5は、図3に示した複数のゲートライン10の間の領域にも残されており、Y軸方向に延在している。

【0050】アモルファスシリコン膜の成長は、化学気相成長(CVD)により行われ、成長中にリン(P)がドーブされる。ドーブされるリンの濃度は、 $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ である。アモルファスシリコン膜のエッチングは、HClとO₂との混合ガスを用いた反応性イオンエッチング(RIE)により行うことができる。エッチング時に、周辺のトランジスタ領域はレジストパターンで覆われ、アモルファスシリコン膜が残される。

【0051】図5(B)に示すように、フッ酸処理を行い、ゲート電極5で覆われていない領域のゲート絶縁膜4を除去する。隣り合う一対のゲート電極5の間に、シリコン基板1の表面が露出する。

【0052】図6(C)に示すように、基板全面上に、酸化シリコン膜6A、窒化シリコン膜6B、及び酸化シリコン膜6Cを順番に形成する。この3層が、ONO膜6を構成する。酸化シリコン膜6Aは、基板温度800～1100℃で基板表面を熱酸化することにより形成される。酸化シリコン膜6Aの厚さは5～10nmである。

【0053】窒化シリコン膜6Bは、成長温度600～800℃としたCVDにより形成することができる。酸化シリコン膜6Cは、この窒化シリコン膜の表層部を、温度1000～1100℃でウェット酸化することにより形成される。成長直後の窒化シリコン膜の厚さは12～16nmであり、この窒化シリコン膜を酸化することによって形成される酸化シリコン膜6Cの厚さは5～10nmである。なお、CVDで成長させる窒化シリコン膜を薄くし、その上にCVDにより酸化シリコン膜6Cを成長させてもよい。

【0054】図6(D)の状態に至るまでの工程を説明する。基板全面を覆うように、厚さ50～100nmのノンドーブのポリシリコン膜をCVDにより成長させる。このポリシリコン膜を異方性エッチングし、ONO膜6の表面のうちゲート電極5の側面に沿った領域上にサイドウォールスペーサ7を残す。ポリシリコン膜のエッチングは、HClとO₂との混合ガスを用いたRIEにより行うことができる。

【0055】図7(E)に示すように、酸化シリコン膜6C及び窒化シリコン膜6Bの露出した部分をエッチングする。ゲート電極5の上面及びシリコン基板1の表面の上に、酸化シリコン膜6Aが露出する。酸化シリコン膜6Cと窒化シリコン膜6Bとのエッチングは、CF₄とCHF₃とO₂との混合ガスを用いたRIEにより行うことができる。この条件では、窒化シリコン膜のエッチ

10

20

30

40

50

ングレートが酸化シリコン膜のエッチングレートに比べて十分速いため、最下層の酸化シリコン膜6Aを再現性よく残すことができる。サイドウォールスペーサ7の厚さによって、ゲート電極5の両脇の基板表面を覆うONO膜6の幅が決定される。

【0056】図7(F)に示すように、ゲート電極5及びサイドウォールスペーサ7をマスクとして、シリコン基板1の表層部に砒素(As)イオンを注入する。このイオン注入は、加速エネルギー50~90keV、ドーズ量 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件で行われる。これにより、不純物拡散領域2が形成される。このとき、サイドウォールスペーサ7の頂部近傍及びゲート電極5の表層部にもAsが注入される。周辺のトランジスタ領域はゲート電極5と同時に成膜されたポリシリコン膜で覆われているため、この領域にはAsが注入されない。

【0057】図8(G)に示すように、温度800~1000℃でシリコン基板1の表面を局所的にウェット酸化する。不純物拡散領域2の表面上に、酸化シリコンからなる厚さ40~60nmの絶縁膜3が形成される。なお、サイドウォールスペーサ7の表面にも酸化シリコン膜7aが形成される。また、ゲート電極5の上面に残されていた酸化シリコン膜6Aがより厚くなる。Asが注入された領域の酸化速度は、Asが注入されていない領域の酸化速度の4~8倍である。

【0058】ウェット酸化時に、不純物拡散領域2内のAs原子が横方向に拡散し、不純物拡散領域2が、窒化シリコン膜6Bの下に侵入する。また、絶縁膜3の縁には、窒化シリコン膜6Bの下に潜り込んだバズピークが形成される。ただし、バズピークの先端は、不純物拡散領域2の先端までは達しない。

【0059】図8(H)に示すように、フッ酸を用いて、ゲート電極5の上面及びサイドウォールスペーサ7の表面に形成された酸化シリコン膜を除去する。

【0060】図2に示した状態までの工程を説明する。基板の全面を覆うように、WSiもしくはWからなる厚さ100~150nmの導電膜をCVDにより形成する。この導電膜の表面上に、図1に示したゲートライン10に対応するレジストパターンを形成する。このレジストパターンに覆われていない領域の導電膜、ゲート電極5、サイドウォールスペーサ7をエッチングする。このエッチングは、HClとO₂との混合ガスを用いたRIEにより行うことができる。このエッチングにより、周辺のトランジスタのゲート電極も同時にパターンニングされる。エッチング後、レジストパターンを除去する。

【0061】図3に示したように、隣り合う2本のゲートライン10の間の領域に、ゲート絶縁膜4及び絶縁膜3が露出する。ゲートライン10をマスクとして、露出したゲート電極4の下を表層部に、ボロン(B)イオンを注入する。このイオン注入は、加速エネルギー50~80keV、ドーズ量 $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条

件で行われる。Y軸方向に並んだ2つのFET20のチャネル領域の間に、ボロンが注入されたチャネルストップ領域50が形成される。

【0062】図2に示した第1の実施例による半導体装置の動作原理は、図23(A)に示した従来の半導体装置の動作原理と同様である。以下、図23(A)~

(C)に示した従来の半導体装置と比較しつつ、第1の実施例による半導体装置の有する効果について説明する。

【0063】図23(A)に示した従来例では、CHE注入される電子の分布が、バンド間トンネリングにより注入される正孔の分布に比べて、チャネル領域703の中央側に寄っていた。また、2次衝突電離ホットエレクトロン注入の発生により、チャネル領域703の中央近傍の窒化シリコン膜706B内に電子がトラップされる場合があった。

【0064】これに対し、図2に示した第1の実施例では、チャネル領域の中央近傍には窒化シリコン膜6Bが配置されておらず、チャネル領域とドレイン領域2との境界の近傍にのみ窒化シリコン膜6Bが配置されている。このため、CHE注入される電子の分布が、バンド間トンネリングにより注入される正孔の分布と、ほぼ重なる。このため、消去時に、窒化シリコン膜6Bにトラップされている電子による電荷を、正孔の注入により容易に中和することができる。また、2次衝突電離ホットエレクトロンが発生したとしても、チャネル領域の中央近傍に電子がトラップされることはない。

【0065】書込み消去動作を繰り返しても、窒化シリコン膜6B中に電子が蓄積されていかないため、書込み及び消去動作のしきい値の上昇を防止することができる。

【0066】図23(B)に示した半導体装置では、ドレイン側がLDD構造にされているため、1つのメモリセルで1ビットの情報しか記憶できなかった。これに対し、図2に示した第1の実施例では、FET20の左側と右側の双方のONO膜6の窒化シリコン膜6B中に、相互に独立に電子を蓄積することにより、2ビットの情報を記憶することができる。

【0067】図23(C)に示した半導体装置では、ゲート電極716とサイドウォールスペーサ720とからなるキャパシタ、及びサイドウォールスペーサ720とチャネル領域714とからなるキャパシタが直列に接続された回路を介して、ゲート電圧がONO膜717の下にチャネル領域に印加される。このため、書込み及び消去時に、比較的高いゲート電圧が必要であった。

【0068】これに対し、図2に示した第1の実施例では、ゲート電極5が、ゲートライン10を介してサイドウォールスペーサ7に接続されている。このため、ゲート電圧が、サイドウォールスペーサ7に直接印加される。従って、書込み及び消去のためのゲート電圧を下げ

ることができる。

【0069】次に、図9～図14を参照して、本発明の第2の実施例について説明する。第2の実施例による半導体装置の基板面内の配置は、図1に示した第1の実施例による半導体装置の配置と同様である。図9～図12は、図1の一点鎖線A2-A2における断面図に対応し、図13及び図14は、図1の一点鎖線A13-A13における断面図に対応する。以下、第2の実施例による半導体装置の製造方法について説明する。

【0070】図9(A)の状態に至るまでの工程を説明する。p型のシリコン基板101の表面に形成された厚さ100～300nmの素子分離絶縁膜により活性領域が画定されている。この素子分離絶縁膜は、例えばシャロートレンチアイソレーション(STI)構造を有する。

【0071】基板表面を、温度800～1100℃で熱酸化することにより、活性領域上に厚さ5～10nmの酸化シリコン膜を形成する。この酸化シリコン膜上に、CVDにより厚さ50～100nmのアモルファスシリコン膜を形成する。このアモルファスシリコン膜には、成長中に、濃度が $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ になるようにリンがドーピングされる。アモルファスシリコン膜の上に、厚さ80～120nmの窒化シリコン膜をCVDにより成長させる。

【0072】酸化シリコン膜、アモルファスシリコン膜、及び窒化シリコン膜をパターニングし、酸化シリコンからなるゲート絶縁膜104、アモルファスシリコンからなるゲート電極105、及び窒化シリコンからなるゲート上部膜106がこの順番に積層された複数の積層構造を残す。この積層構造の各々は、図1のY軸方向に延在する。窒化シリコン膜のエッチングは、 CF_4 と CHF_3 と O_2 との混合ガスを用いたRIEで行われる。アモルファスシリコン膜のエッチングは、 HCl と O_2 との混合ガスを用いたRIEで行われる。酸化シリコン膜のパターニングは、レジストパターンを剥離した後、ゲート電極105をマスクとし、フッ酸を用いてウェットエッチングすることにより行われる。なお、メモリセル以外の周辺のトランジスタ領域は、アモルファスシリコン膜及び窒化シリコン膜で覆われている。

【0073】図9(B)に示すように、基板全面上にONO膜110を形成する。最下層の酸化シリコン膜110Aは、温度800～1100℃で熱酸化することにより形成される。窒化シリコンからなるゲート上部膜106の表面はほとんど酸化されないため、酸化シリコン膜110Aは、主としてゲート電極105及びシリコン基板101の露出した表面上に形成される。

【0074】中央の窒化シリコン膜110Bは、成長温度600～800℃の条件でCVDにより形成される。最上層の酸化シリコン膜110Cは、この窒化シリコン膜の表層部を、温度1000～1100℃でウェット酸

化することにより形成される。ウェット酸化前の窒化シリコン膜の厚さは12～16nmであり、酸化シリコン膜110Cの厚さは5～10nmである。

【0075】図10(C)に示すように、ONO膜110の表面上に、CVDにより厚さ50～100nmのノンドープのポリシリコン膜111を形成する。

【0076】図10(D)に示した状態に至るまでの工程を説明する。ポリシリコン膜111を異方性エッチングし、ONO膜110の表面のうちゲート電極105及びゲート上部膜106の側面に対応する領域上に、サイドウォールスペーサ111aを残す。 CF_4 と CHF_3 と O_2 との混合ガスを用いたRIEにより、上層の酸化シリコン膜110Cと中央の窒化シリコン膜110Bとを除去する。ゲート電極105及びゲート上部膜106の側面上には、3層構造のONO膜110が残る。

【0077】図11(E)に示すように、ゲート電極105、ゲート上部膜106、サイドウォールスペーサ111a、及びONO膜110をマスクとして、シリコン基板101の表層部に、Asイオンを注入する。このイオン注入は、加速エネルギー50～90keV、ドーズ量 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件で行われる。このイオン注入により、n型の不純物拡散領域112が形成される。この不純物拡散領域112は、図1に示した不純物拡散領域2に対応する。周辺トランジスタ領域は、アモルファスシリコン膜及び窒化シリコン膜で覆われているため、この領域の基板表層部には、Asイオンが注入されない。

【0078】図11(F)に示した状態に至るまでの工程を説明する。テトラエチルオルソシリケート(TEOS)を用いたCVDにより、基板全面上に厚さ500～1000nmの絶縁膜を形成する。この絶縁膜を、ゲート上部膜106の上面が露出するまで化学機械研磨する。このとき、ゲート上部膜106が、研磨停止層として働く。

【0079】図12(G)に示すように、ゲート上部膜106及びONO膜110の一部をエッチングし、ゲート電極105の上面、及びサイドウォールスペーサ111aのうちゲート電極105の上面よりも上に突出した部分の内側の側面を露出させる。窒化シリコンからなるゲート上部膜106及び窒化シリコン膜110Bのエッチングは、熱リン酸を用いたウェット処理により行われる。サイドウォールスペーサ111aの側面上の酸化シリコン膜110Cは、フッ酸を用いたウェット処理により除去される。

【0080】図12(H)に示すように、WSiもしくはWからなる厚さ100～150nmの導電膜を、CVDにより形成する。レジストパターン117を用いて、この導電膜をパターニングすることにより、ゲートライン116を残す。ゲートライン116は、図1に示したゲートライン10に対応する。ゲートライン116は、

10

20

30

40

50

ゲート電極105の上面とサイドウォールスペーサ111aの突出部の内側の側面に接触し、ゲート電極105とサイドウォールスペーサ111aとを電氣的に接続する。層間絶縁膜115が、ゲートライン116を不純物拡散領域112から絶縁する。なお、周辺トランジスタ領域においては、アモルファスシリコン膜と、WSiもしくはWからなる導電膜との2層構造のゲート電極が形成される。

【0081】図13(I)は、ゲートライン116の残されていない部分の断面図(図1の一点鎖線A13-A13における断面図に対応)を示す。なお、ゲートライン116の上には、レジストパターン117が残されている。

【0082】図13(J)に示すように、層間絶縁膜115を、その上面からある深さまでエッチングする。残された層間絶縁膜115aの厚さは、30~50nmである。この層間絶縁膜115aは、周辺トランジスタのソース及びドレイン領域の表面上に金属シリサイド膜を形成する際に、不純物拡散領域112の表面上に金属シリサイド膜が形成されないようにするための保護膜として働く。

【0083】図14(K)に示すように、HClとO₂との混合ガスを用いたRIEにより、ゲート電極105及びサイドウォールスペーサ111aをエッチングする。このとき、図12(H)に示したレジストパターン117が、ゲートライン116を保護している。ゲート電極105及びサイドウォールスペーサ111aをエッチングした後、レジストパターン117を剥離する。

【0084】図14(L)に示すように、ボロンイオンを注入し、シリコン基板101の表層部にp型のチャンネルストップ領域118を形成する。このイオン注入は、加速エネルギー50~80keV、ドーズ量 $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で行われる。図12(H)に示したゲートライン116の下基板表層部には、ボロンは注入されない。

【0085】不純物拡散領域112のAsのドーズ量は $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ であり、ボロンのドーズ量の約100倍である。このため、不純物拡散領域112は、ボロンのイオン注入の影響をほとんど受けない。

【0086】第2の実施例の場合も、第1の実施例の場合と同様に、図12(H)に示したように、メモリセルを構成する各FETのチャンネル領域の中央部に窒化シリコン膜が配置されていない。このため、第1の実施例の場合と同様の効果が得られる。また、第2の実施例の場合には、ONO膜110の下にバンプビークが入り込まない。このため、書込み及び消去特性の向上が期待される。

【0087】次に、図15~図17を参照して、本発明の第3の実施例について説明する。第3の実施例による半導体装置の基板面内の配置は、図1に示した第1の実

施例による半導体装置の配置と同様である。図15及び図16の各図は、図1の一点鎖線A2-A2における断面内の一つのFETの断面に対応し、図17は、一点鎖線A13-A13における断面内の一つのチャンネルストップ領域の断面に対応する。以下、第3の実施例による半導体装置の製造方法について説明する。

【0088】図15(A)に示した状態に至るまでの工程を説明する。p型シリコン基板201の表面上に、フィールド酸化膜を形成し、活性領域を画定する。活性領域の表面上に、ONO膜を形成する。ONO膜の形成方法は、第1の実施例における図6(C)に示したONO膜6の形成方法と同様である。

【0089】ONO膜の表面上に、紙面に垂直な方向(図1のY軸方向に対応)に延在する複数のレジストパターン210を形成する。図1の相互に隣り合う2本の不純物拡散領域2の間に、一对のレジストパターン210が配置される。一对のレジストパターン210の間隔は、フォトリソグラフィ工程における最小抜き幅に設定される。レジストパターン210をマスクとして、ONO膜の最上層の酸化シリコン膜と中央の窒化シリコン膜をエッチングする。レジストパターン210の下に、酸化シリコン膜202A、窒化シリコン膜202B、及び酸化シリコン膜202Cが積層されたONO膜202が残る。レジストパターン210の配置されていない領域のシリコン基板201の表面上には、酸化シリコン膜202Aのみが残る。

【0090】シリコン基板201の表面に対して斜めの方向からAsをイオン注入する。このとき、2つのレジストパターン210の間の基板表面が、一方のレジストパターン210の陰になり、この領域にAsが注入されないようにイオンビームを傾ける。イオンビームに晒された基板表層部に、Asの注入された不純物拡散領域203が形成される。

【0091】図15(B)に示すように、イオンビームの軸を、図15(A)の工程で行ったイオン注入のイオンビーム軸とは反対側に傾け、再度Asイオンを注入する。この2回のイオン注入の各々は、加速エネルギー50~90keV、ドーズ量 $1 \times 10^{15} \sim 2.5 \times 10^{15} \text{ cm}^{-2}$ の条件で行われる。一对のレジストパターン210の外側の基板表面層の各々に、Asの注入された不純物拡散領域203が形成される。不純物拡散領域203の各々の縁は、レジストパターン210の縁と一致するか、またはレジストパターン210の縁よりも内側まで侵入する。

【0092】図15(C)に示すように、レジストパターン210をマスクとして、酸化シリコン膜202Aの露出した部分をエッチングする。エッチング後、レジストパターン210を剥離する。その後、メモリセル部をレジストパターンで覆い、周辺トランジスタ領域のONO膜202を除去する。ONO膜の除去後、レジストパ

10

20

30

40

50

ターンを剥離する。

【0093】図16(D)に示す状態までの工程を説明する。シリコン基板201の露出した表層部を、温度800~1100℃で熱酸化する。これにより、ONO膜202の間の領域に、厚さ5~10nmのゲート絶縁膜204が形成される。Asの注入された領域の酸化速度は、Asの注入されていない領域の酸化速度の6~8倍程度である。このため、不純物拡散領域203の表層部には、酸化シリコンからなる厚さ40~60nmの絶縁膜205が形成される。絶縁膜205の端部には、ON
O膜202の下に潜り込んだバースピークが形成され

る。ゲート絶縁膜204は薄いため、この端部にはバースピークが形成されない。なお、この熱酸化により、窒化シリコン膜202Bの表面も薄く酸化される。

【0094】図16(E)に示す状態までの工程を説明する。基板の全面上に、CVDにより厚さ100~150nmのアモルファスシリコン膜を形成し、その上にCVDにより厚さ100~150nmのWSi膜を形成する。アモルファスシリコン膜には、成長中に、濃度が $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ になるように、リンがドー

ブされる。

【0095】アモルファスシリコン膜とWSi膜との2層をパターンニングし、ゲートライン206を残す。ゲートライン206は、図1に示したゲートライン10に対応する。この2層のエッチングは、HClとO₂との混合ガスを用いたRIEにより行われる。ゲートライン206は、FETのゲート電極を兼ね、一对の不純物拡散領域203が、それぞれソース領域及びドレイン領域となり、酸化シリコン膜202Aがゲート絶縁膜となる。

【0096】このFETにおいては、ゲート絶縁膜の上
面を、ソース領域側の第1の領域、ドレイン領域側の第2の領域、及び第1の領域と第2の領域とに挟まれた第3の領域に区分したとき、窒化シリコン膜202Bが、第1の領域上と第3の領域上とに配置される。この窒化シリコン膜202Bが、酸化シリコン膜202Cで被覆されており、電子をトラップする。

【0097】図17(F)は、相互に隣り合う2本のゲートライン206の間の断面(図1の一点鎖線A13-A13における断面に対応)を示す。ゲートライン206を残すときのレジストパターンをマスクとして、ボロ
ンイオンを注入することにより、チャネルストップ領域207を形成する。

【0098】第3の実施例においても、第1の実施例の場合と同様に、図16(E)に示したように、各FETのチャネル領域の中央部に窒化シリコン膜が配置されていない。このため、第1の実施例による半導体装置と同様の効果が期待される。

【0099】次に、図18~図19を参照して、本発明の第4の実施例による半導体装置について説明する。第4の実施例による半導体装置の基板面内の配置は、図1に

示した第1の実施例による半導体装置の配置と同様である。図19の各図は、図1の一点鎖線A2-A2における断面内の1つのFETの部分に対応し、図20は、一点鎖線A13-A13における断面内の1つのチャネルストップ領域の部分に対応する。

【0100】図18(A)に示した状態に至るまでの工程を説明する。図15(A)を参照して説明した工程と同様の工程を経て、p型のシリコン基板301の表面上にONO膜305、レジストパターン330が形成される。ただし、図15(A)では、レジストパターン210が図1のY軸方向に延在していたが、図18(A)においては、レジストパターン330は、図1のY軸方向に延在するとともに、チャネルストップ領域50に対応する領域をも覆う。ONO膜の上層の酸化シリコン膜305C及び中央の窒化シリコン膜305Bは、レジストパターン330の下にのみ残されており、下層の酸化シリコン膜305Aはシリコン基板301の全表面を覆う。

【0101】レジストパターン330をマスクとして、シリコン基板301の表層部にAsイオンを注入する。このイオン注入は、加速エネルギー50~90keV、ドーズ量 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件で行われる。一对のレジストパターン330の外側の表層部に不純物拡散領域302が形成され、一对のレジストパターン330に挟まれた表層部に中間領域303が形成される。不純物拡散領域302は、図1のY軸方向に延在するが、中間領域303は、FETの各々に対応して離散的に分布する。イオン注入後、レジストパターン330を剥離する。

【0102】図18(B)に示す状態に至るまでの工程を説明する。メモリセル領域をレジストパターンで覆い、周辺トランジスタ領域のONO膜305を除去する。その後、メモリセル領域を覆っていたレジストパターンを剥離する。

【0103】温度800~1100℃で基板表面を熱酸化する。Asの注入されていない周辺トランジスタ領域に、厚さ5~10nmのゲート絶縁膜が形成される。Asが注入されているメモリセル領域においては、酸化速度が速いため、ONO膜305で覆われていない領域に、厚さ40~60nmの絶縁膜306が形成される。このとき、注入されたAs原子が拡散し、不純物拡散領域302及び中間領域303が横方向に広がる。絶縁膜306の端部にバースピークが形成されるが、その先端は、不純物拡散領域302や中間領域303の縁よりも浅い位置までしか達しない。なお、この熱酸化により、窒化シリコン膜305Bの側面も薄く酸化される。

【0104】図18(C)に示すように、基板上にゲートライン310を形成する。ゲートライン310は、図1に示したゲートライン10に対応し、図16(E)に示したゲートライン206の形成方法と同様の方法で形

成される。

【0105】図19(D)は、相互に隣り合う2本のゲートライン310の間の断面(図1の一点鎖線A13-A13における断面に対応)を示す。ゲートライン310をパターニングするときのレジストパターンをマスクとして、ボロンをイオン注入することにより、チャンネルストップ領域307を形成する。

【0106】第4の実施例の場合には、図18(C)に示した左側の不純物拡散領域302がソース領域となり、右側の不純物拡散領域がドレイン領域となる。次に、図18(C)及び図20を参照して、上記第4の実施例による半導体装置の動作原理について説明する。

【0107】CHE注入によって、ONO膜305の窒化シリコン膜305B内に電子をトラップすることにより、書き込みが行われる。バンド間トンネリングによって窒化シリコン膜305B中に正孔を注入することにより、消去が行われる。ソース領域側のONO膜とドレイン領域側のONO膜に、独立に電子をトラップさせることにより、一つのメモリセルで2ビットの情報を記憶することができる。

【0108】図20(A)は、一つのメモリセルの断面図を示す。ソース領域302S、ドレイン領域302D、中間領域303、ソース領域302Sと中間領域303との間のONO膜305S、ドレイン領域302Dと中間領域305Dとの間のONO膜305D、及びゲートライン310を含んでメモリセルが構成される。

【0109】図20(B)は、図20(A)に示したメモリセルの、ソース電圧を0V、ドレイン電圧を2Vとした場合の電流特性のシミュレーション結果を示す。横軸はゲート電圧を単位「V」で表し、縦軸はドレイン電流を単位「A」で表す。曲線aは、ドレイン領域側のONO膜305Dに電子がトラップされている状態、曲線bは、ソース領域側のONO膜305Sに電子がトラップされている状態、曲線cは、いずれのONO膜にも電子がトラップされていない状態における電流を示す。

【0110】例えば、0と1との判定電流を 1×10^{-6} Aとした場合、曲線aの状態と曲線bの状態とを、十分なマージンをもって識別することができる。すなわち、ドレイン領域側のONO膜305Dに電子がトラップされているかいないかに関わらず、ソース領域側のONO膜305Sに電子がトラップされているかいないかを識別することができる。ソース電圧とドレイン電圧とを逆にすると、ドレイン領域側のONO膜に電子がトラップされているかいないかを識別することができる。

【0111】第4の実施例の場合には、図18(C)に示したように、チャンネル領域の中央部にn型の中間領域303が配置されている。窒化シリコン膜305Bのうち、中間領域303とオーバーラップする部分にトラップされた電子は、FETのしきい値にほとんど影響を及ぼさない。このため、書き込み消去の繰り返しによって、窒

化シリコン膜305Bにトラップされた電子がチャンネル領域の中央寄りに分布したとしても、FETのしきい値の変動が抑制される。

【0112】また、図3に示したように、不純物拡散領域302は上層配線に接続されるが、中間領域303は孤立している。中間領域303に対応するビアホール等を設ける必要がないため、中間領域303は、フォトリソグラフィ工程における抜き幅の限界まで小さくすることができる。このため、図23(A)に示したFETを2つ並べる場合に比べて、図18(C)に示したFETを小さくすることが可能になる。

【0113】次に、図21及び図22を参照して、本発明の第5の実施例について説明する。第5の実施例による半導体装置の基板面内の配置は、図1に示した第1の実施例による半導体装置の配置と同様である。図21の各図は、図1の一点鎖線A2-A2における断面内の1つのFETの部分に対応し、図22は、一点鎖線A13-A13における断面内の1つのチャンネルストップ領域の部分に対応する。以下、第5の実施例による半導体装置の製造方法及びその構造について説明する。

【0114】図21に示すように、p型シリコン基板401の表面の活性領域上に、温度800~1100℃で熱酸化することにより、厚さ5~10nmのスルー酸化膜405を形成する。スルー酸化膜405の表面上に、レジストパターン410を形成する。レジストパターン410は、図18(A)に示した第4の実施例におけるレジストパターン330と同様の平面形状を有する。

【0115】レジストパターン410をマスクとして、シリコン基板401の表層部に、Asイオンを注入する。このイオン注入は、加速エネルギー50~90keV、ドーズ量 $2 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の条件で行う。一対のレジストパターン410の外側に、n型の不純物拡散領域402が形成され、一対のレジストパターン410に挟まれた領域に、n型の中間領域403が形成される。

【0116】図21(B)に示すように、レジストパターン410を剥離し、さらに、フッ酸処理によりスルー酸化膜405を除去する。これにより、活性領域にシリコン基板401の表面が露出する。

【0117】図21(C)の状態に至るまでの工程を説明する。温度800~1100℃で、シリコン基板表面を熱酸化する。Asの注入されていない領域に、厚さ5~10nmのゲート絶縁膜406が形成される。Asの注入されている不純物拡散領域402及び中間領域403の表面には、厚さ40~60nmの絶縁膜407が形成される。Asの注入されている領域と注入されていない領域の境界には、バースピーク状の部分形成される。なお、熱酸化後にAsの注入されていない領域上に形成された薄い酸化シリコン膜を除去し、再度熱酸化を行って、ゲート絶縁膜406を形成してもよい。

【0118】図21(D)に示すように、基板の全面上に、窒化シリコン膜415と酸化シリコン膜416を形成する。この2層は、図6(C)に示したONO膜6を構成する窒化シリコン膜6Bと酸化シリコン膜6Cとの形成方法と同様の方法で形成される。

【0119】酸化シリコン膜416の上に、ゲートライン420を形成する。ゲートライン420は、図16(E)に示したゲートライン206の形成方法と同様の方法で形成される。

【0120】図22(E)は、相互に隣り合う2本のゲートライン420の間の断面(図1の一点鎖線A13-A13における断面に対応)を示す。ゲートライン420をパターニングするときのレジストパターンをマスクとして、ボロンイオンを注入することにより、チャネルストップ領域417を形成する。

【0121】第5の実施例の場合も、第4の実施例の場合と同様に、ソース及びドレイン領域となる一対の不純物拡散領域402の間に中間領域403が配置されている。この中間領域403は、上層配線に接続されず、孤立したパターンである。このため、第5の実施例においても、第4の実施例の場合と同様の効果が期待される。

【0122】上記実施例では、ONO膜中の窒化シリコン膜に電子をトラップすることにより、情報を記憶する場合を説明したが、電子の代わりに正孔をトラップすることにより情報を記憶することも可能である。また、ONO膜の代わりに、絶縁材料からなる3層の積層膜を用いてもよい。このとき、積層膜の中央の層を、その両側の層よりもキャリアをトラップし易い材料で形成すればよい。

【0123】以上説明した実施例から、以下の付記に示した発明が導出される。

(付記1) 半導体基板と、前記半導体基板の表面の一部の領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極の側面、及び該ゲート電極の両側の前記半導体基板の表面上に、該側面及び表面に倣うように形成された積層膜であって、少なくとも3層構造を有し、3層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜と、前記積層膜を介して、前記ゲート電極の側面及び前記半導体基板の表面に対向するように配置された導電性材料からなるサイドウォールスペーサと、前記サイドウォールスペーサと前記ゲート電極とを電気的に接続する導電性の接続部材と、前記半導体基板の表層部のうち、前記半導体基板の表面に平行な第1の方向に関して、前記ゲート電極を挟む領域の各々に形成され、前記積層膜の縁から横方向もある深さまで侵入し、かつ該ゲート電極の縁までは達していない不純物拡散領域とを有する半導体装置。

(付記2) さらに、前記不純物拡散領域の表面上に形

成され、前記積層膜と該不純物拡散領域との界面に沿って、該不純物拡散領域の縁よりも浅い位置まで侵入し、前記積層膜の最も基板側の層よりも厚い第1の絶縁膜を有し、前記接続部材が、前記第1の絶縁膜の上まで延在している付記1に記載の半導体装置。

(付記3) 前記サイドウォールスペーサの頂部が前記ゲート電極の上面及び前記積層膜の頂部よりも高い位置まで突出しており、さらに、前記不純物拡散領域の表面上に形成された第2の絶縁膜であって、前記サイドウォールスペーサの外側の側面に密着した第2の絶縁膜を有し、前記接続部材が、前記サイドウォールスペーサの内側の側面のうち、前記積層膜の頂部よりも突出している部分、及び前記ゲート電極の上面に接触している付記1に記載の半導体装置。

(付記4) 前記接続部材が、前記第2の絶縁膜の上まで延在している付記3に記載の半導体装置。

(付記5) 半導体基板と、前記半導体基板の表層部に形成され、第1の方向に延在し、相互に平行に配置された第1導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第1の方向と交差する第2の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置されたFETと、前記第1の方向に並んだ2つのFETのチャネル領域の間の基板表層部に形成された第1導電型とは反対の第2導電型のチャネルストップ領域とを有し、前記FETの各々が、対応する一対の不純物拡散領域に挟まれた前記チャネル領域と、該チャネル領域の上に形成され、対応する一対の不純物拡散領域の各々からある間隔を隔てて配置されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、対応するゲートラインに接続されたゲート電極と、対応する一対の不純物拡散領域の各々と前記ゲート電極との間の前記半導体基板の表面、及び前記ゲート電極の側面をコンフォーマルに覆い、少なくとも3層を含み、中央の層が両側の層よりもキャリアをトラップし易い材料で形成されている積層膜と、前記積層膜を介して、前記ゲート電極の側面及び前記チャネル領域に対向するように配置され、導電性材料で形成され、対応するゲートラインに接続されたサイドウォールスペーサとを含む半導体装置。

(付記6) 前記不純物拡散領域の各々が、対応する前記積層膜の下まで侵入しており、さらに、前記不純物拡散領域と前記ゲートラインとの交差箇所において両者の間に配置された第1の絶縁膜であって、前記積層膜と前記不純物拡散領域との界面に沿って、該不純物拡散領域の縁よりも浅い位置まで侵入し、前記積層膜の最も基板側の層よりも厚い前記第1の絶縁膜を有する付記5に記載の半導体装置。

(付記 7) さらに、前記不純物拡散領域と前記ゲートラインとの交差箇所において、両者の間に配置され、前記サイドウォールスペーサの外側の側面に密着した第 2 の絶縁膜を有し、前記サイドウォールスペーサの各々が、前記ゲート電極の上面及び前記積層膜の頂部よりも高い位置まで突出しており、前記ゲートラインの各々が、対応するサイドウォールスペーサの突出部の内側の側面、及び対応するゲート電極の上面に接触している付記 5 に記載の半導体装置。

(付記 8) 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極との 2 層を形成する工程と、前記半導体基板、ゲート絶縁膜、及びゲート電極の露出した表面上に、該表面に倣うように積層膜を形成する工程であって、該積層膜が少なくとも 3 層構造を有し、3 層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、前記積層膜の表面のうち、前記ゲート電極の側面に沿った領域上に、導電性のサイドウォールスペーサを形成する工程と、前記積層膜のうち、前記サイドウォールスペーサで覆われていない領域において、該積層膜の少なくとも中央の層までをエッチングする工程と、前記ゲート電極及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部に第 1 の不純物を注入する工程と、前記半導体基板の表面のうち、前記ゲート電極及びサイドウォールスペーサで覆われていない領域を局部的に酸化し、第 1 の絶縁膜を形成する工程と、前記ゲート電極の上面及び前記サイドウォールスペーサの表面に形成された絶縁膜を除去する工程と、前記ゲート電極の上面と前記サイドウォールスペーサの表面とを、電気的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

(付記 9) 前記ゲート絶縁膜とゲート電極との 2 層構造が、前記半導体基板の表面上において第 1 の方向に延在し、相互に平行に配置された複数の領域の各々の上に形成され、前記接続部材を形成する工程が、前記半導体基板の最表面を導電膜で覆う工程と、前記導電膜をパターンニングすることにより、前記第 1 の方向と交差する第 2 の方向に延在し、相互に平行に配置されている複数のゲートラインを残す工程とを含み、前記ゲートラインを残した後、さらに、該ゲートラインをマスクとして、前記ゲート電極をエッチングする工程と、前記ゲート電極のエッチングされた部分の下の前記半導体基板の表層部に、前記第 1 の不純物とは反対導電型の第 2 の不純物を注入する工程とを有する付記 8 に記載の半導体装置の製造方法。

(付記 10) 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極とゲート上部膜との 3 層を形成する工程と、少なくとも前記半導体基板とゲート絶縁膜とゲート電極との露出した表面を覆う下層、該下層と前記ゲート上部膜の表面を覆う中層、及び該中層を覆う上

層からなる積層膜であって、下層、中層、及び上層の各々が絶縁材料で形成されており、中層が下層及び上層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、前記積層膜の表面を覆う導電性の第 1 の膜を形成する工程と、前記積層膜及び前記第 1 の膜を異方性エッチングし、前記ゲート電極及びゲート上部膜の側面上に、前記第 1 の膜の一部からなるサイドウォールスペーサ及び前記積層膜の一部を残すとともに、前記半導体基板の表面のうち前記ゲート電極の配置されていない領域においては、少なくとも前記第 1 の膜と、前記積層膜の上層及び中層を除去する工程と、前記ゲート電極、ゲート上部膜、及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部に第 1 の不純物を注入する工程と、前記半導体基板の全面上に絶縁材料からなる第 2 の膜を堆積する工程と、前記第 2 の膜を、前記ゲート上部膜が露出するまで研磨する工程と、前記ゲート上部膜、及び該ゲート上部膜の側面上に残っていた前記積層膜を除去する工程と、前記ゲート電極の上面と前記サイドウォールスペーサの露出した表面とを、電気的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

(付記 11) 前記ゲート絶縁膜とゲート電極とゲート上部膜との 3 層構造が、前記半導体基板の表面上において第 1 の方向に延在、相互に平行に配置された複数の領域の各々の上に形成され、前記接続部材を形成する工程が、前記半導体基板の最表面を、導電性の第 3 の膜で覆う工程と、前記第 3 の膜をパターンニングすることにより、前記第 1 の方向と交差する第 2 の方向に延在し、相互に平行に配置された複数のゲートラインを残す工程とを含み、前記ゲートラインを残した後、さらに、該ゲートラインをマスクとして、前記ゲート電極、及び前記第 2 の膜の少なくとも上層部分、及び前記サイドウォールスペーサをエッチングする工程と、前記ゲート電極のエッチングされた部分の下の前記半導体基板の表層部に、前記第 1 の不純物とは反対導電型の第 2 の不純物を注入する工程とを有する付記 10 に記載の半導体装置の製造方法。

(付記 12) 半導体基板の表層部に画定されたチャネル領域の上に形成されたゲート絶縁膜と、前記チャネル領域の両側の表層部に形成されたソース及びドレイン領域と、前記ゲート絶縁膜の上面を、前記ソース領域側の第 1 の領域、前記ドレイン領域側の第 2 の領域、及び該第 1 の領域と第 2 の領域とに挟まれた第 3 の領域とに区分したとき、前記第 1 の領域と第 2 の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜と、前記被覆膜、及び前記第 3 の領域上のゲート絶縁膜の表面のうち、少なくとも前記ソース領域とチャネル領域との境界から、前記ドレイン領域とチャネル領域との境界ま

でを連続的に覆うゲート電極とを有する半導体装置。

(付記 13) 半導体基板と、前記半導体基板の表層部に形成され、第 1 の方向に延在し、相互に平行に配置された第 1 導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第 1 の方向と交差する第 2 の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置された F E T と、前記第 1 の方向に並んだ 2 つの F E T のチャンネル領域の間の基板表層部に形成され、前記第 1 導電型とは反対の第 2 導電型を有するチャンネルストップ領域とを有し、前記 F E T の各々が、対応する一対の不純物拡散領域に挟まれた前記チャンネル領域と、該チャンネル領域の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上面を、対応する一対の不純物拡散領域の一方の側の第 1 の領域、他方の側の第 2 の領域、及び該第 1 の領域と第 2 の領域とに挟まれた第 3 の領域とに区分したとき、前記第 1 の領域と第 2 の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜とを有し、前記ゲートラインが、対応する F E T のゲート絶縁膜の前記第 3 の領域及び被覆膜を覆い、該 F E T のゲート電極を兼ねる半導体装置。

(付記 14) 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記半導体基板の表面上に、ある間隔を隔てて相互に平行に配置された一対の細長い第 1 のチャンネル領域の上の、前記上部絶縁膜の表面をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、前記半導体基板の表層部に不純物をイオン注入する工程であって、前記一対のレジストパターンの間の領域がレジストパターンの陰になり、陰の部分に不純物が注入されず、該一対のレジストパターンの外側の領域の各々においては、イオン注入された領域の縁が該レジストパターンの縁と一致するかもしくは該レジストパターンの縁よりも内側まで侵入する条件でイオン注入する工程と、前記レジストパターンを除去する工程と、前記半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第 1 の膜を形成する工程と、前記一対の第 1 のチャンネル領域上のキャリアトラップ膜を覆う上部絶縁膜の上及び該一対の第 1 のチャンネル領域の間の前記ゲート絶縁膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

(付記 15) 半導体基板の表層部に、ある間隔を隔てて形成されたソース領域及びドレイン領域と、前記ソー

ス領域とドレイン領域との間の表層部に、該ソース領域及びドレイン領域のいずれともある間隔を隔てて配置され、前記ソース領域及びドレイン領域と同一導電型の不純物が添加された中間領域と、前記ソース領域と前記中間領域との間のチャンネル領域、及び前記ドレイン領域と中間領域との間のチャンネル領域を覆うゲート絶縁膜と、前記ソース領域、ドレイン領域、及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第 1 の膜と、前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜と、一方の前記チャンネル領域から中間領域を経由して他方のチャンネル領域までの領域上に配置されている前記被覆膜及び第 1 の膜を覆うゲート電極とを有する半導体装置。

(付記 16) 一方の前記ゲート絶縁膜上のキャリアトラップ膜と、他方の前記ゲート絶縁膜上のキャリアトラップ膜とが、前記中間領域上の第 1 の膜の上を経由して相互に連続している付記 15 に記載の半導体装置。

(付記 17) 半導体基板と、前記半導体基板の表層部に形成され、第 1 の方向に延在し、相互に平行に配置された第 1 導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第 1 の方向と交差する第 2 の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置された F E T とを有し、前記 F E T の各々が、対応する一対の前記不純物拡散領域の間の基板表層部に、両者のいずれからもある間隔を隔てて配置され、該不純物拡散領域と同一導電型の中間領域と、対応する一対の前記不純物拡散領域の各々と、前記中間領域との間のチャンネル領域を覆うゲート絶縁膜と、前記一対の不純物拡散領域及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第 1 の膜と、前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜とを有し、前記 F E T の各々に対応する前記ゲートラインが、前記被覆膜及び第 1 の膜上に配置され、当該 F E T のゲート電極を兼ね、さらに、前記第 1 の方向に並ぶ 2 つの F E T のチャンネル領域の間の基板表層部に形成された前記第 1 導電型とは反対の第 2 導電型のチャンネルストップ領域を有する半導体装置。

(付記 18) 前記 F E T の各々において、一方の前記ゲート絶縁膜上のキャリアトラップ膜と、他方の前記ゲート絶縁膜上のキャリアトラップ膜とが、前記中間領域上の第 1 の膜の上を経由して相互に連続している付記 17 に記載の半導体装置。

(付記 19) 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記上部絶縁膜の上に、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、前記レジストパターンをマスクとして、前記半導体基板の表層部に、不純物をイオン注入する工程と、前記レジストパターンを除去する工程と、半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第 1 の膜を形成する工程と、前記レジストパターンの形成されていた領域に残っている前記被覆膜及びその間の第 1 の膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

(付記 20) 前記半導体基板がシリコン基板であり、前記第 1 の膜を形成する工程において、前記キャリアトラップ膜をマスクとして、該半導体基板の表層部を局所的に酸化することによって前記第 1 の膜を形成する付記 19 に記載の半導体装置の製造方法。

(付記 21) シリコンからなる半導体基板の表面のうち、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記半導体基板の表層部に、不純物をイオン注入する工程と、前記半導体基板の表層部を酸化することにより、イオン注入された領域の表面上には、酸化シリコンからなる第 1 の膜を形成し、イオン注入されていない領域の表面上には、該第 1 の膜よりも薄いゲート絶縁膜を形成する工程と、前記第 1 の膜及びゲート絶縁膜の上に、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記上部絶縁膜の表面のうち、少なくとも前記ゲート絶縁膜及びその間の第 1 の膜の上方の領域の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

【0124】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0125】

【発明の効果】以上説明したように、本発明によれば、キャリアをトラップする層を含む積層膜の上に、導電性の部材を配置し、この導電性部材にゲート電圧を直接印加する。これにより、比較的低いゲート電圧で、情報の書込み及び消去を行うことができる。また、チャネル領域の中央部上にはキャリアをトラップする層が配置されていないか、またはチャネル領域の中央部に不純物が添加された中間領域が配置されている。このため、書込み及び消去動作を繰り返しても、しきい値の変動が少な

い。

【図面の簡単な説明】

【図 1】第 1 の実施例による半導体装置の平面図である。

【図 2】第 1 の実施例による半導体装置の断面図である。

【図 3】第 1 の実施例による半導体装置の部分破断斜視図である。

【図 4】第 1 の実施例による半導体装置の等価回路図である。

【図 5】第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 6】第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 7】第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 3）である。

【図 8】第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 4）である。

【図 9】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 10】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 11】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 3）である。

【図 12】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 4）である。

【図 13】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 5）である。

【図 14】第 2 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 6）である。

【図 15】第 3 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 16】第 3 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 17】第 3 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 3）である。

【図 18】第 4 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 19】第 4 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 20】第 4 の実施例による半導体装置の断面図、及びドレイン電流特性を示すグラフである。

【図 21】第 5 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 22】第 5 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 23】従来のフラッシュメモリセルの断面図である。

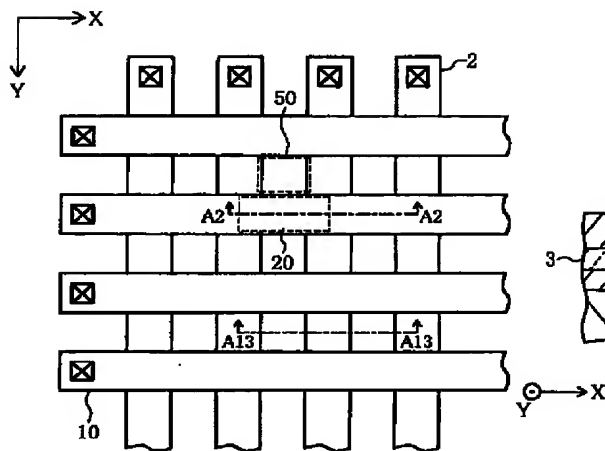
【符号の説明】

1、101、201、301、401 シリコン基板

2、203、302、402 不純物拡散領域
 3、205、306、407 絶縁膜
 4、104、204、406 ゲート絶縁膜
 5、105 ゲート電極
 6、110、202、305 ONO膜
 7、111a サイドウォールスペーサ
 10、116、206、310、420 ゲートライン
 20 FET
 25 フィールド酸化膜
 26、28 プラグ
 27、29 上層配線
 40a~40d セレクトゲート線

* 41 メインライン
 42 FET
 50、118、207、307、417 チャンネルストップ領域
 106 ゲート上部膜
 111 ポリシリコン膜
 115 層間絶縁膜
 117、210、330、410 レジストパターン
 303、403 中間領域
 10 405 スルー酸化膜
 415 窒化シリコン膜
 * 416 酸化シリコン膜

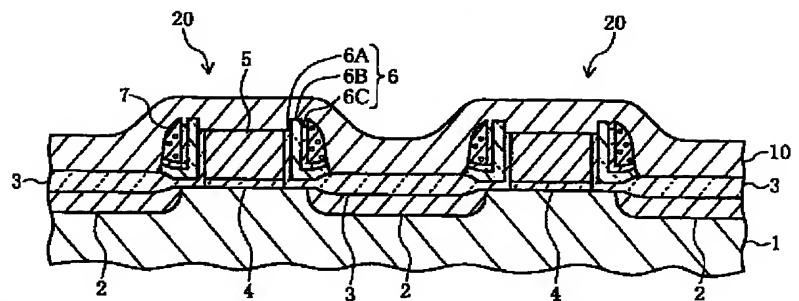
【図1】



2: 不純物拡散領域
 10: ゲートライン
 20: FET
 50: チャンネルストップ領域

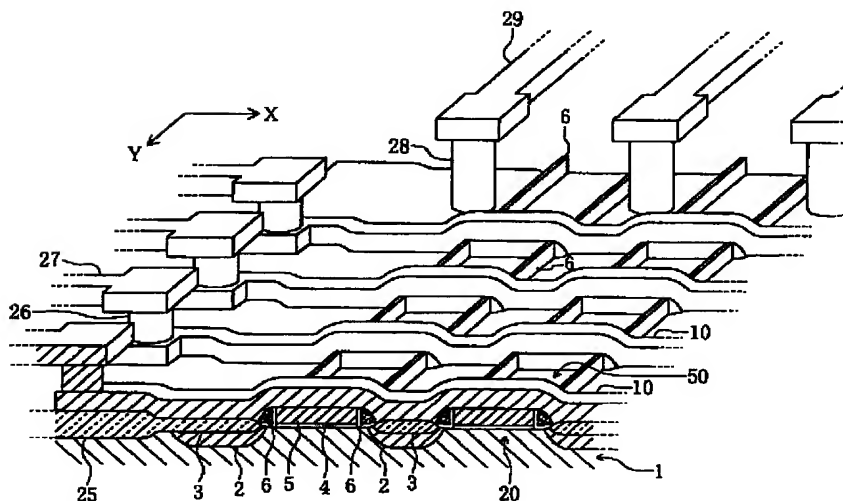
【図2】

第1の実施例による半導体装置

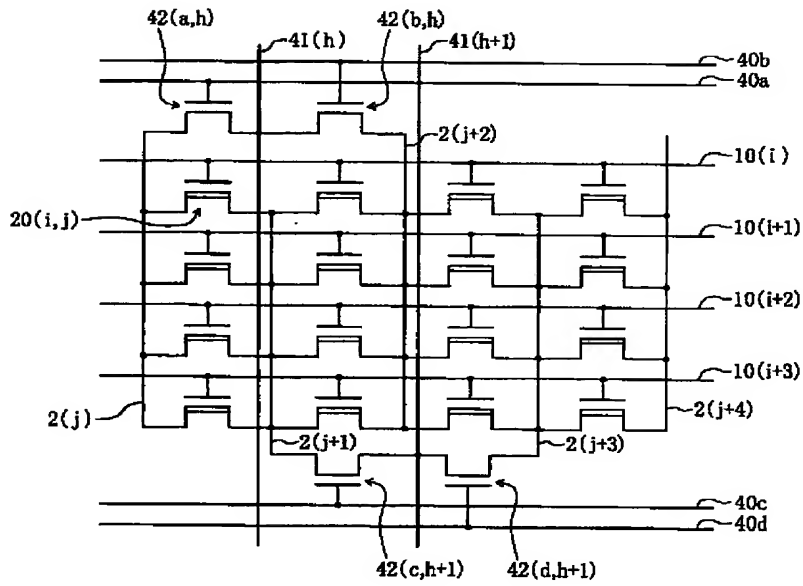


1: シリコン基板
 3: 絶縁膜
 4: ゲート絶縁膜
 5: ゲート電極
 6: ONO膜
 7: サイドウォールスペーサ
 10: ゲートライン
 20: FET

【図3】

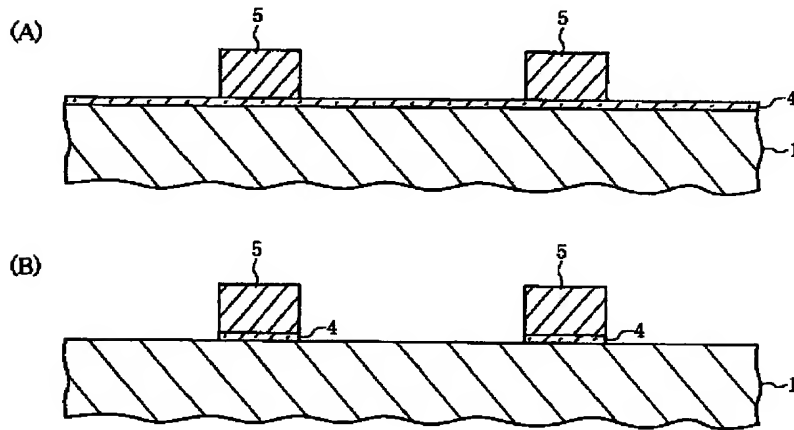


【図 4】



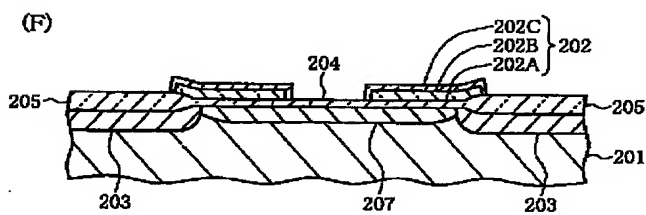
【図 5】

第1の実施例による半導体装置の製造方法(その1)



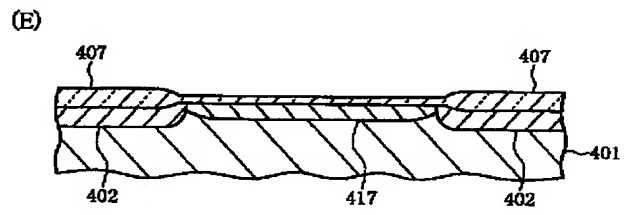
【図 17】

第3の実施例による半導体装置の製造方法(その3)



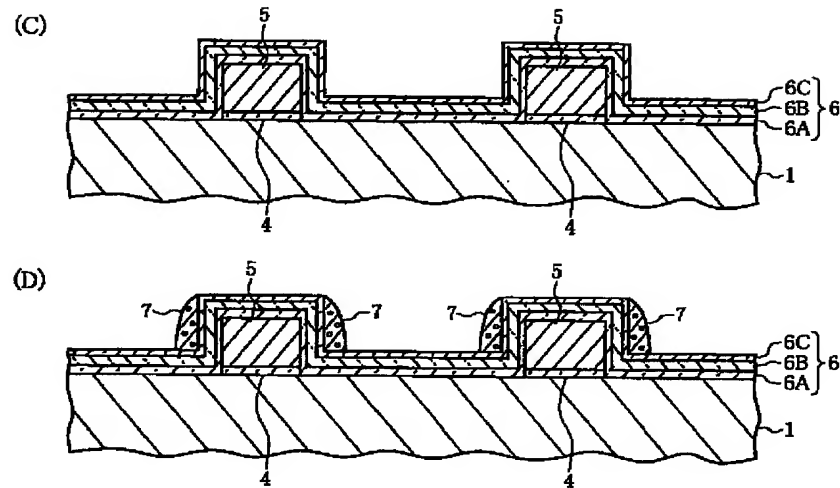
【図 22】

第5の実施例による半導体装置の製造方法(その2)



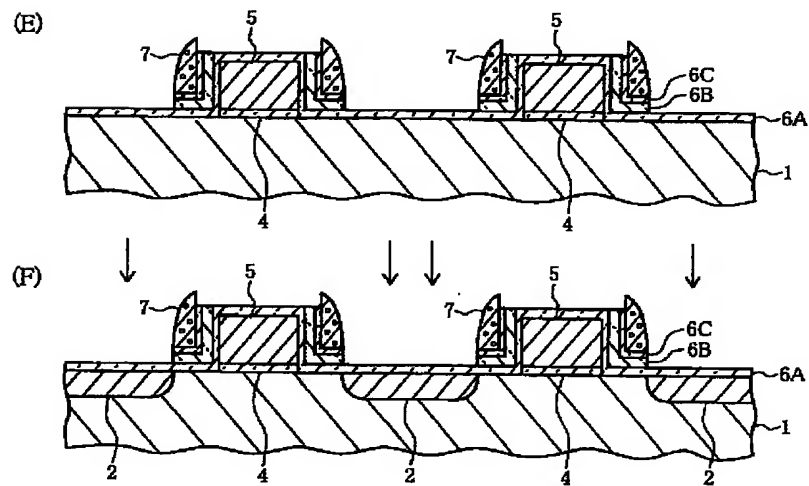
【図6】

第1の実施例による半導体装置の製造方法(その2)



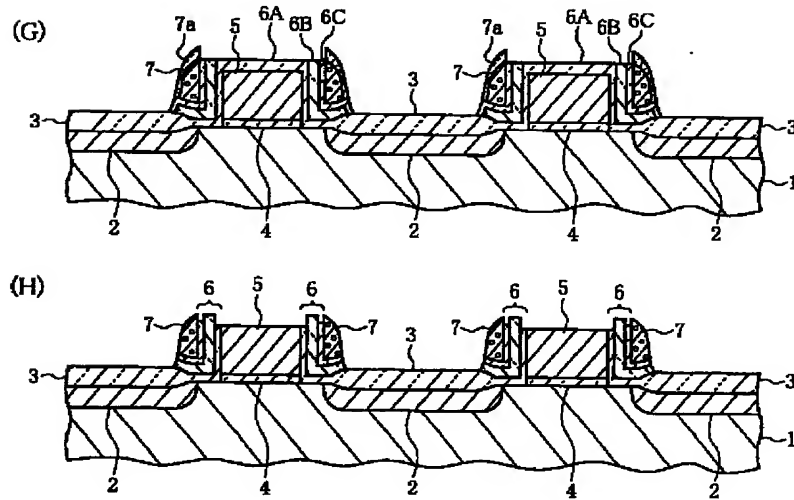
【図7】

第1の実施例による半導体装置の製造方法(その3)



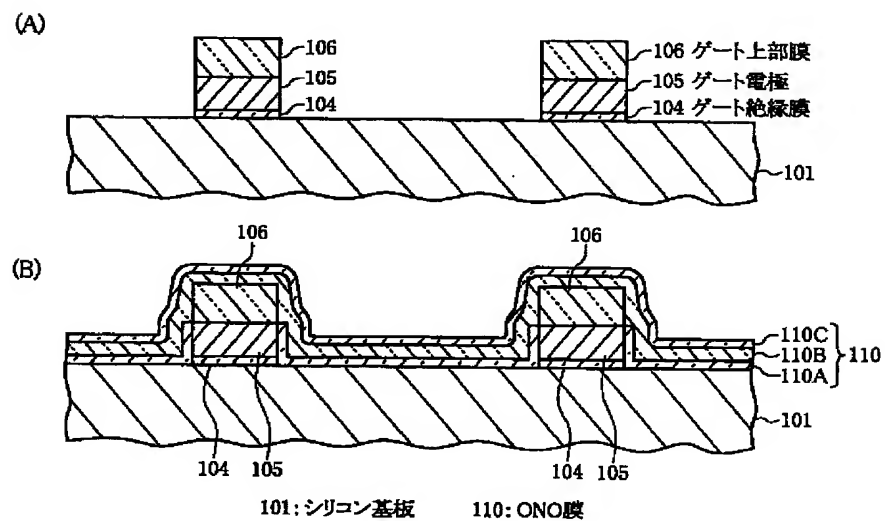
【図 8】

第1の実施例による半導体装置の製造方法(その4)



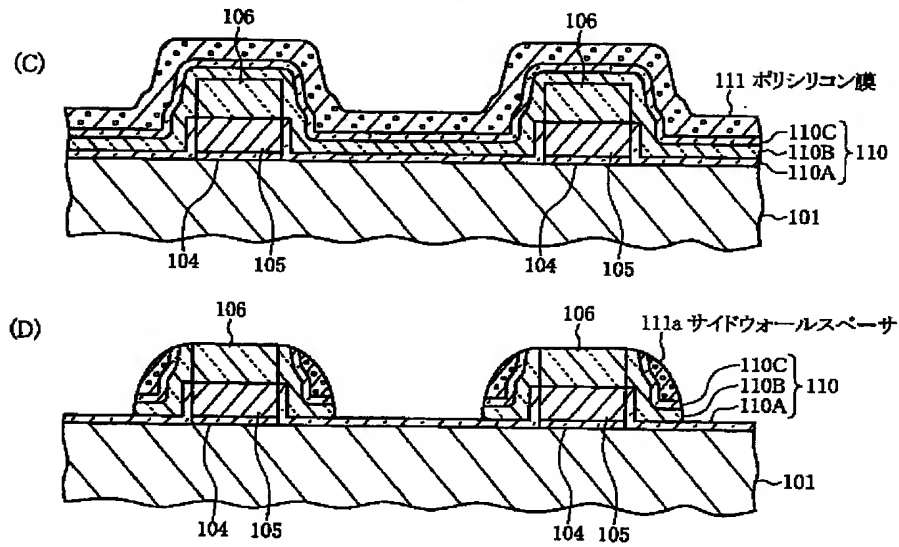
【図 9】

第2の実施例による半導体装置の製造方法(その1)



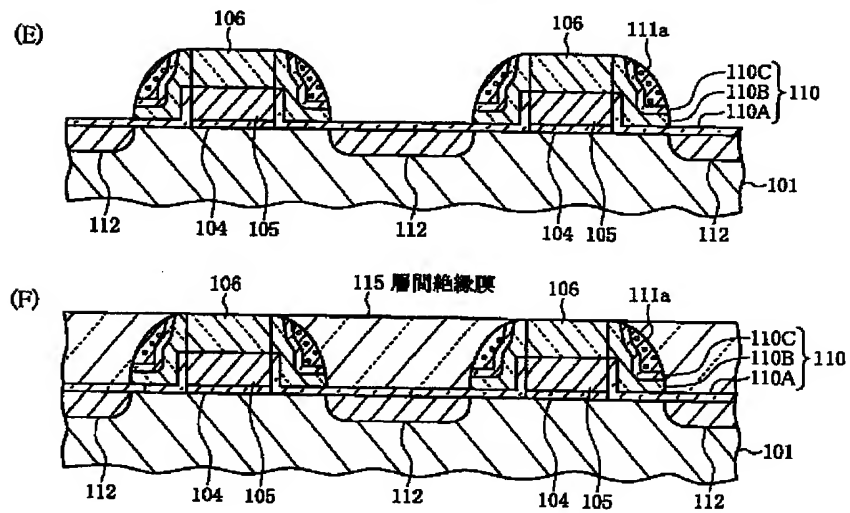
【図 10】

第2の実施例による半導体装置の製造方法(その2)



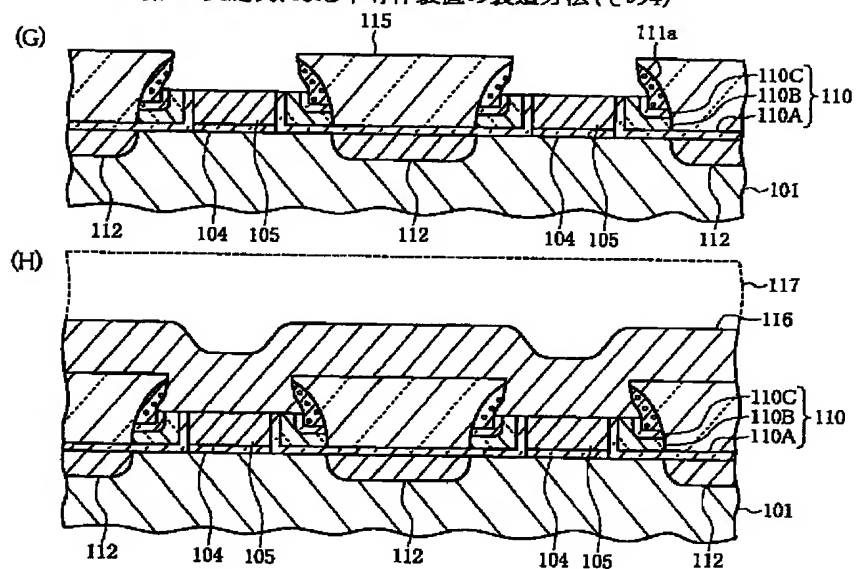
【図 11】

第2の実施例による半導体装置の製造方法(その3)



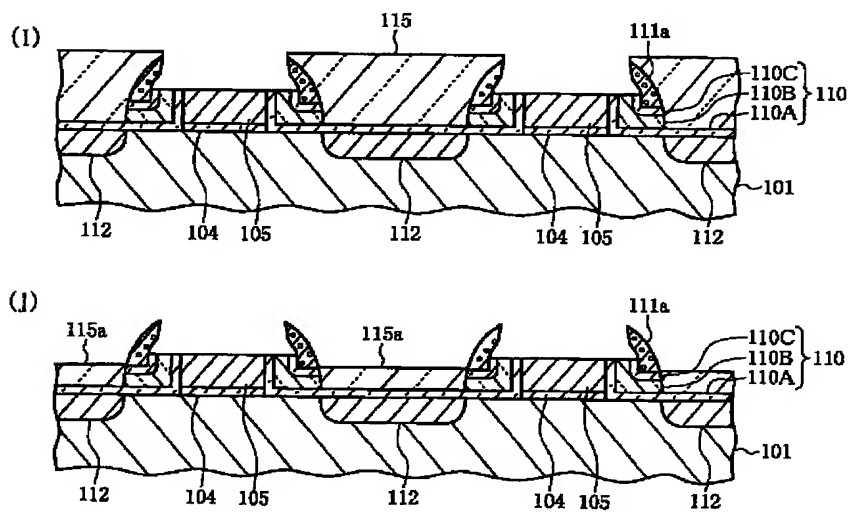
【図12】

第2の実施例による半導体装置の製造方法(その4)



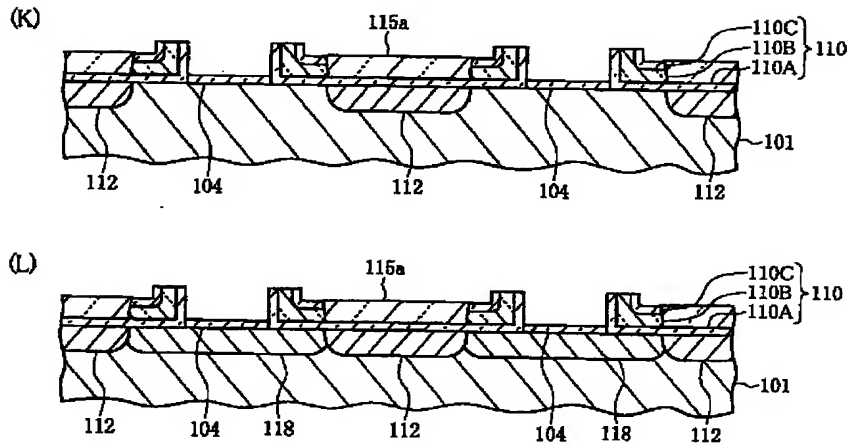
【図13】

第2の実施例による半導体装置の製造方法(その5)



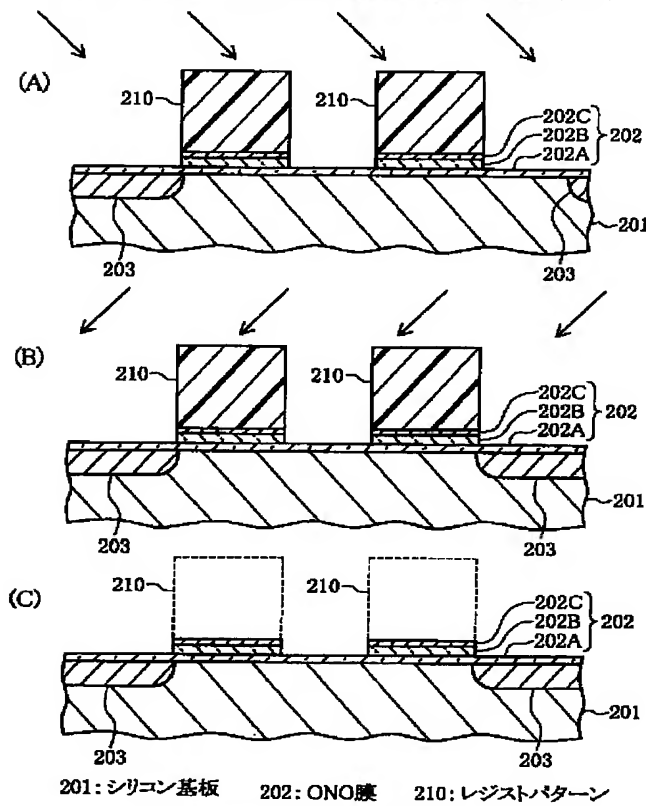
【図14】

第2の実施例による半導体装置の製造方法(その6)



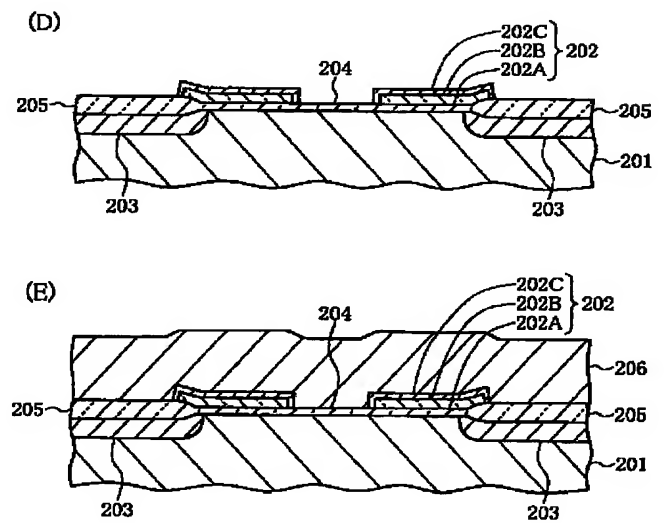
【図15】

第3の実施例による半導体装置の製造方法(その1)



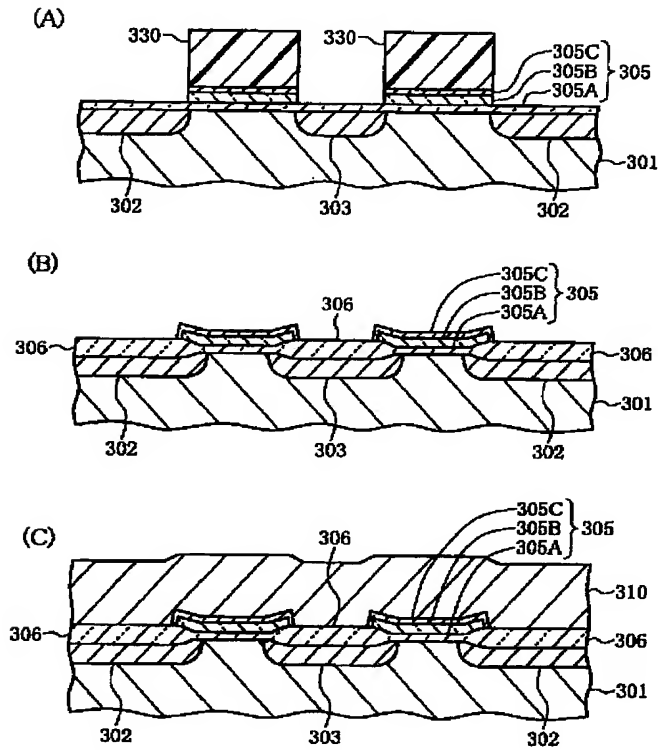
【図16】

第3の実施例による半導体装置の製造方法(その2)

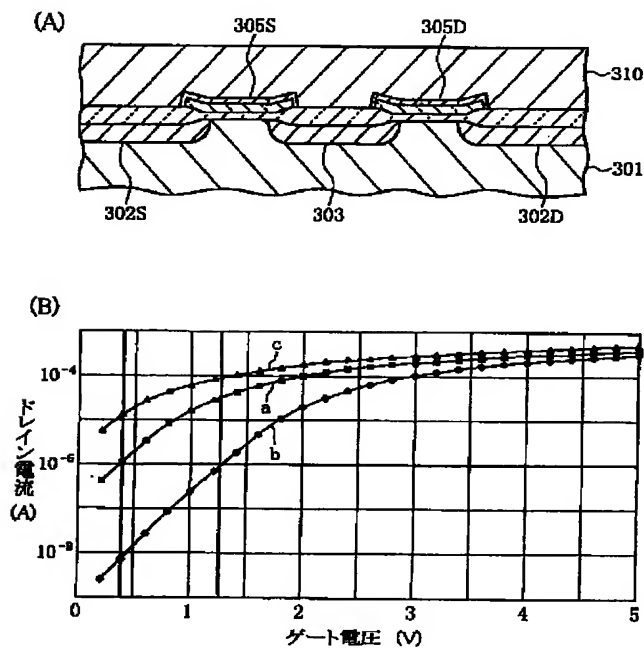


【図18】

第4の実施例による半導体装置の製造方法(その1)

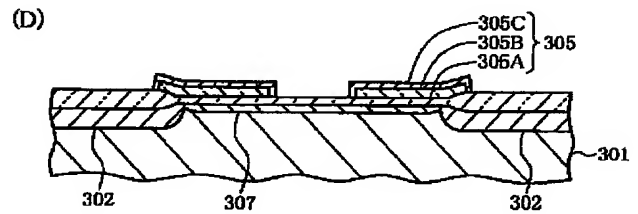


【図20】



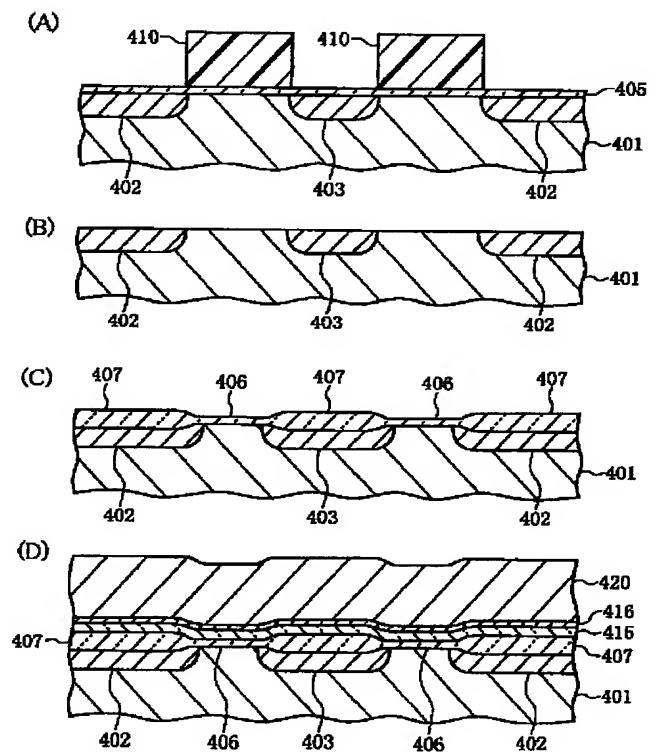
【図19】

第4の実施例による半導体装置の製造方法(その2)

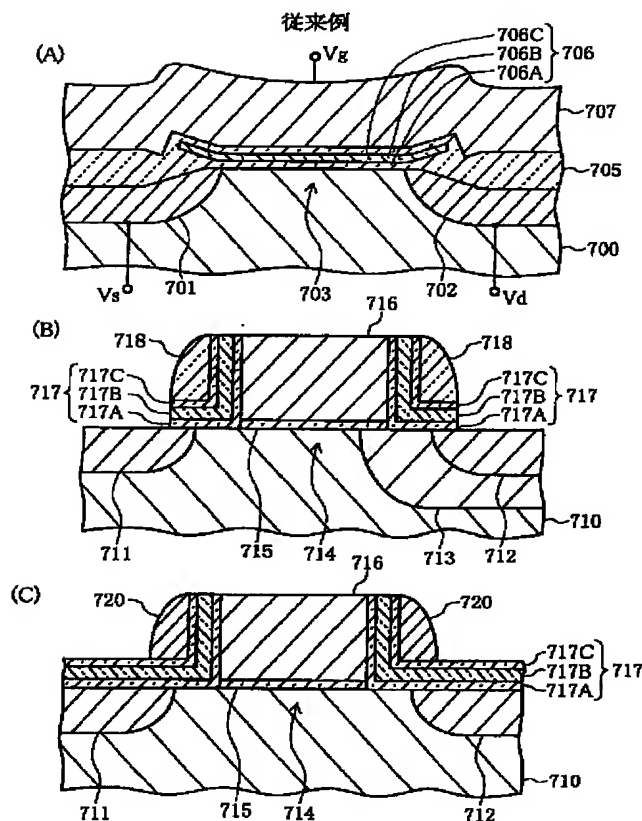


【図21】

第5の実施例による半導体装置の製造方法(その1)



【図 23】



【手続補正書】

【提出日】平成13年8月20日（2001. 8. 20）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項10

【補正方法】変更

【補正内容】

【請求項10】 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップしやすい材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、
前記上部絶縁膜の上に、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、
前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、
前記レジストパターンをマスクとして、前記半導体基板の表層部に、不純物をイオン注入する工程と、
前記レジストパターンを除去する工程と、
半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第1の膜

を形成する工程と、
前記レジストパターンの形成されていた領域に残っている前記上部絶縁膜及びその間の第1の膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】消去時には、ソース領域711に正電圧を印加し、ゲート電極716に負電圧を印加する。アバランシェホットホール注入により、ソース領域711側の窒化シリコン膜717Bに正孔がトラップされる。これにより、電荷が中和される。なお、ゲート電圧の絶対値をより大きくしてファウラノルドハイムトンネリング（FNトンネリング）を生じさせ、窒化シリコン膜717B内にトラップされている電子をチャネル領域714に引き抜いてもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】図4に、上記第1の実施例による半導体装置の等価回路図を示す。ワードライン10(i)、ビットライン2(j)、及びFET20(i, j)が、それぞれ図1～図3に示したゲートライン10、不純物拡散領域2、及びFET20に対応する。ビットライン2(j)の延在する方向に平行に、複数のメインライン41(h)が設けられている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】i行j列目のFET20(i, j)のゲート電極が、ワードライン10(i)に接続され、ソース領域がビットライン2(j)に接続され、ドレイン領域がビットライン2(j+1)に接続されている。ビットライン2(j)は、FET42(a, h)を介してメインライン41(h)に接続され、ビットライン2(j+1)は、FET42(c, h+1)を介してメインライン41(h+1)に接続されている。ビットライン2(j+2)は、FET42(b, h)を介してメインライン41(h)に接続され、ビットライン2(j+3)は、FET42(d, h+1)を介してメインライン41(h+1)に接続されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】図3に示したように、隣り合う2本のゲートライン10の間の領域に、ゲート絶縁膜4及び絶縁膜3が露出する。ゲートライン10をマスクとして、露出したゲート絶縁膜4の下の表層部に、ボロン(B)イオンを注入する。このイオン注入は、加速エネルギー50～80keV、ドーズ量 $3 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件で行われる。Y軸方向に並んだ2つのFET20のチャネル領域の間に、ボロンが注入されたチャネルストップ領域50が形成される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0108

【補正方法】変更

【補正内容】

【0108】図20(A)は、一つのメモリセルの断面図を示す。ソース領域302S、ドレイン領域302D、中間領域303、ソース領域302Sと中間領域303との間のONO膜305S、ドレイン領域302Dと中間領域303との間のONO膜305D、及びゲー

トライン310を含んでメモリセルが構成される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0123

【補正方法】変更

【補正内容】

【0123】以上説明した実施例から、以下の付記に示した発明が導出される。

(付記1) 半導体基板と、前記半導体基板の表面の一部の領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲート電極と、前記ゲート電極の側面、及び該ゲート電極の両側の前記半導体基板の表面上に、該側面及び表面に倣うように形成された積層膜であって、少なくとも3層構造を有し、3層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜と、前記積層膜を介して、前記ゲート電極の側面及び前記半導体基板の表面に対向するように配置された導電性材料からなるサイドウォールスペーサと、前記サイドウォールスペーサと前記ゲート電極とを電気的に接続する導電性の接続部材と、前記半導体基板の表層部のうち、前記半導体基板の表面に平行な第1の方向に関して、前記ゲート電極を挟む領域の各々に形成され、前記積層膜の縁から横方向もある深さまで侵入し、かつ該ゲート電極の縁までは達していない不純物拡散領域とを有する半導体装置。

(付記2) さらに、前記不純物拡散領域の表面上に形成され、前記積層膜と該不純物拡散領域との界面に沿って、該不純物拡散領域の縁よりも浅い位置まで侵入し、前記積層膜の最も基板側の層よりも厚い第1の絶縁膜を有し、前記接続部材が、前記第1の絶縁膜の上まで延在している付記1に記載の半導体装置。

(付記3) 前記サイドウォールスペーサの頂部が前記ゲート電極の上面及び前記積層膜の頂部よりも高い位置まで突出しており、さらに、前記不純物拡散領域の表面上に形成された第2の絶縁膜であって、前記サイドウォールスペーサの外側の側面に密着した第2の絶縁膜を有し、前記接続部材が、前記サイドウォールスペーサの内側の側面のうち、前記積層膜の頂部よりも突出している部分、及び前記ゲート電極の上面に接触している付記1に記載の半導体装置。

(付記4) 前記接続部材が、前記第2の絶縁膜の上まで延在している付記3に記載の半導体装置。

(付記5) 半導体基板と、前記半導体基板の表層部に形成され、第1の方向に延在し、相互に平行に配置された第1導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第1の方向と交差する第2の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り

合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置されたFETと、前記第1の方向に並んだ2つのFETのチャンネル領域の間の基板表層部に形成された第1導電型とは反対の第2導電型のチャンネルストップ領域とを有し、前記FETの各々が、対応する一対の不純物拡散領域に挟まれた前記チャンネル領域と、該チャンネル領域の上に形成され、対応する一対の不純物拡散領域の各々からある間隔を隔てて配置されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、対応するゲートラインに接続されたゲート電極と、対応する一対の不純物拡散領域の各々と前記ゲート電極との間の前記半導体基板の表面、及び前記ゲート電極の側面をコンフォーマルに覆い、少なくとも3層を含み、中央の層が両側の層よりもキャリアをトラップし易い材料で形成されている積層膜と、前記積層膜を介して、前記ゲート電極の側面及び前記チャンネル領域に対向するように配置され、導電性材料で形成され、対応するゲートラインに接続されたサイドウォールスペーサを含む半導体装置。

(付記6) 前記不純物拡散領域の各々が、対応する前記積層膜の下まで侵入しており、さらに、前記不純物拡散領域と前記ゲートラインとの交差箇所において両者の間に配置された第1の絶縁膜であって、前記積層膜と前記不純物拡散領域との界面に沿って、該不純物拡散領域の縁よりも浅い位置まで侵入し、前記積層膜の最も基板側の層よりも厚い前記第1の絶縁膜を有する付記5に記載の半導体装置。

(付記7) さらに、前記不純物拡散領域と前記ゲートラインとの交差箇所において、両者の間に配置され、前記サイドウォールスペーサの外側の側面に密着した第2の絶縁膜を有し、前記サイドウォールスペーサの各々が、前記ゲート電極の上面及び前記積層膜の頂部よりも高い位置まで突出しており、前記ゲートラインの各々が、対応するサイドウォールスペーサの突出部の内側の側面、及び対応するゲート電極の上面に接触している付記5に記載の半導体装置。

(付記8) 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極との2層を形成する工程と、前記半導体基板、ゲート絶縁膜、及びゲート電極の露出した表面上に、該表面に倣うように積層膜を形成する工程であって、該積層膜が少なくとも3層構造を有し、3層の各々が絶縁材料で形成されており、中央の層がその両側の層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、前記積層膜の表面のうち、前記ゲート電極の側面に沿った領域上に、導電性のサイドウォールスペーサを形成する工程と、前記積層膜のうち、前記サイドウォールスペーサで覆われていない領域において、該積層膜の少なくとも中央の層までをエッチングする工程と、前記ゲート電極及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部

に第1の不純物を注入する工程と、前記半導体基板の表面のうち、前記ゲート電極及びサイドウォールスペーサで覆われていない領域を局所的に酸化し、第1の絶縁膜を形成する工程と、前記ゲート電極の上面及び前記サイドウォールスペーサの表面に形成された絶縁膜を除去する工程と、前記ゲート電極の上面と前記サイドウォールスペーサの表面とを、電氣的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

(付記9) 前記ゲート絶縁膜とゲート電極との2層構造が、前記半導体基板の表面上において第1の方向に延在し、相互に平行に配置された複数の領域の各々の上に形成され、前記接続部材を形成する工程が、前記半導体基板の最表面を導電膜で覆う工程と、前記導電膜をパターンニングすることにより、前記第1の方向と交差する第2の方向に延在し、相互に平行に配置されている複数のゲートラインを残す工程とを含み、前記ゲートラインを残した後、さらに、該ゲートラインをマスクとして、前記ゲート電極をエッチングする工程と、前記ゲート電極のエッチングされた部分の下の前記半導体基板の表層部に、前記第1の不純物とは反対導電型の第2の不純物を注入する工程とを有する付記8に記載の半導体装置の製造方法。

(付記10) 半導体基板の表面の一部の領域上に、ゲート絶縁膜とゲート電極とゲート上部膜との3層を形成する工程と、少なくとも前記半導体基板とゲート絶縁膜とゲート電極との露出した表面を覆う下層、該下層と前記ゲート上部膜の表面を覆う中層、及び該中層を覆う上層からなる積層膜であって、下層、中層、及び上層の各々が絶縁材料で形成されており、中層が下層及び上層よりもキャリアをトラップし易い材料で形成されている前記積層膜を形成する工程と、前記積層膜の表面を覆う導電性の第1の膜を形成する工程と、前記積層膜及び前記第1の膜を異方性エッチングし、前記ゲート電極及びゲート上部膜の側面上に、前記第1の膜の一部からなるサイドウォールスペーサ及び前記積層膜の一部を残すとともに、前記半導体基板の表面のうち前記ゲート電極の配置されていない領域においては、少なくとも前記第1の膜と、前記積層膜の上層及び中層を除去する工程と、前記ゲート電極、ゲート上部膜、及びサイドウォールスペーサをマスクとして、前記半導体基板の表層部に第1の不純物を注入する工程と、前記半導体基板の全面上に絶縁材料からなる第2の膜を堆積する工程と、前記第2の膜を、前記ゲート上部膜が露出するまで研磨する工程と、前記ゲート上部膜、及び該ゲート上部膜の側面上に残っていた前記積層膜を除去する工程と、前記ゲート電極の上面と前記サイドウォールスペーサの露出した表面とを、電氣的に接続する接続部材を形成する工程とを有する半導体装置の製造方法。

(付記11) 前記ゲート絶縁膜とゲート電極とゲート上部膜との3層構造が、前記半導体基板の表面上におい

て第1の方向に延在、相互に平行に配置された複数の領域の各々の上に形成され、前記接続部材を形成する工程が、前記半導体基板の最表面を、導電性の第3の膜で覆う工程と、前記第3の膜をパターンニングすることにより、前記第1の方向と交差する第2の方向に延在し、相互に平行に配置された複数のゲートラインを残す工程とを含み、前記ゲートラインを残した後、さらに、該ゲートラインをマスクとして、前記ゲート電極、及び前記第2の膜の少なくとも上層部分、及び前記サイドウォールスペースをエッチングする工程と、前記ゲート電極のエッチングされた部分の下の前記半導体基板の表層部に、前記第1の不純物とは反対導電型の第2の不純物を注入する工程とを有する付記10に記載の半導体装置の製造方法。

(付記12) 半導体基板の表層部に画定されたチャネル領域の上に形成されたゲート絶縁膜と、前記チャネル領域の両側の表層部に形成されたソース及びドレイン領域と、前記ゲート絶縁膜の上面を、前記ソース領域側の第1の領域、前記ドレイン領域側の第2の領域、及び該第1の領域と第2の領域とに挟まれた第3の領域とに区分したとき、前記第1の領域と第2の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜と、前記被覆膜、及び前記第3の領域上のゲート絶縁膜の表面のうち、少なくとも前記ソース領域とチャネル領域との境界から、前記ドレイン領域とチャネル領域との境界までを連続的に覆うゲート電極とを有する半導体装置。

(付記13) 半導体基板と、前記半導体基板の表層部に形成され、第1の方向に延在し、相互に平行に配置された第1導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第1の方向と交差する第2の方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置されたFETと、前記第1の方向に並んだ2つのFETのチャネル領域の間の基板表層部に形成され、前記第1導電型とは反対の第2導電型を有するチャネルストップ領域とを有し、前記FETの各々が、対応する一対の不純物拡散領域に挟まれた前記チャネル領域と、該チャネル領域の上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上面を、対応する一対の不純物拡散領域の一方の側の第1の領域、他方の側の第2の領域、及び該第1の領域と第2の領域とに挟まれた第3の領域とに区分したとき、前記第1の領域と第2の領域とを覆い、前記ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆う絶縁材料からなる被覆膜とを有し、前記ゲートラインが、対応する

FETのゲート絶縁膜の前記第3の領域及び被覆膜を覆い、該FETのゲート電極を兼ねる半導体装置。

(付記14) 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記半導体基板の表面上に、ある間隔を隔てて相互に平行に配置された一対の細長い第1のチャネル領域の上の、前記上部絶縁膜の表面をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、前記半導体基板の表層部に不純物をイオン注入する工程であって、前記一対のレジストパターンの間の領域がレジストパターンの陰になり、陰の部分に不純物が注入されず、該一対のレジストパターンの外側の領域の各々においては、イオン注入された領域の縁が該レジストパターンの縁と一致するかもしくは該レジストパターンの縁よりも内側まで侵入する条件でイオン注入する工程と、前記レジストパターンを除去する工程と、前記半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第1の膜を形成する工程と、前記一対の第1のチャネル領域上のキャリアトラップ膜を覆う上部絶縁膜の上及び該一対の第1のチャネル領域の間の前記ゲート絶縁膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

(付記15) 半導体基板の表層部に、ある間隔を隔てて形成されたソース領域及びドレイン領域と、前記ソース領域とドレイン領域との間の表層部に、該ソース領域及びドレイン領域のいずれともある間隔を隔てて配置され、前記ソース領域及びドレイン領域と同一導電型の不純物が添加された中間領域と、前記ソース領域と前記中間領域との間のチャネル領域、及び前記ドレイン領域と中間領域との間のチャネル領域を覆うゲート絶縁膜と、前記ソース領域、ドレイン領域、及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第1の膜と、前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜と、一方の前記チャネル領域から中間領域を経由して他方のチャネル領域までの領域上に配置されている前記被覆膜及び第1の膜を覆うゲート電極とを有する半導体装置。

(付記16) 一方の前記ゲート絶縁膜上のキャリアトラップ膜と、他方の前記ゲート絶縁膜上のキャリアトラップ膜とが、前記中間領域上の第1の膜の上を経由して相互に連続している付記15に記載の半導体装置。

(付記17) 半導体基板と、前記半導体基板の表層部に形成され、第1の方向に延在し、相互に平行に配置された第1導電型の複数の不純物拡散領域と、前記半導体基板の上に配置され、前記第1の方向と交差する第2の

方向に延在し、ある間隔で相互に平行に配置され、前記不純物拡散領域との交差箇所において、該不純物拡散領域から絶縁されている複数のゲートラインと、相互に隣り合う一対の前記不純物拡散領域と、前記ゲートラインとの交差箇所の各々に配置されたFETとを有し、前記FETの各々が、対応する一対の前記不純物拡散領域の間の基板表層部に、両者のいずれからもある間隔を隔てて配置され、該不純物拡散領域と同一導電型の間領域と、対応する一対の前記不純物拡散領域の各々と、前記中間領域との間のチャンネル領域を覆うゲート絶縁膜と、前記一対の不純物拡散領域及び中間領域を覆い、絶縁材料で形成され、前記ゲート絶縁膜よりも厚い第1の膜と、前記ゲート絶縁膜の各々の上に形成され、該ゲート絶縁膜よりもキャリアをトラップし易い材料からなるキャリアトラップ膜と、前記キャリアトラップ膜の各々の表面を覆い、絶縁材料で形成された被覆膜とを有し、前記FETの各々に対応する前記ゲートラインが、前記被覆膜及び第1の膜上に配置され、当該FETのゲート電極を兼ね、さらに、前記第1の方向に並ぶ2つのFETのチャンネル領域の間の基板表層部に形成された前記第1導電型とは反対の第2導電型のチャンネルストッパ領域を有する半導体装置。

(付記18) 前記FETの各々において、一方の前記ゲート絶縁膜上のキャリアトラップ膜と、他方の前記ゲート絶縁膜上のキャリアトラップ膜とが、前記中間領域上の第1の膜の上を経由して相互に連続している付記17に記載の半導体装置。

(付記19) 半導体基板の表面上に、ゲート絶縁膜、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記上部絶縁膜の上に、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記上部絶縁膜及びキャリアトラップ膜をエッチングする工程と、前記レジストパターンをマスク

として、前記半導体基板の表層部に、不純物をイオン注入する工程と、前記レジストパターンを除去する工程と、半導体基板の表層部のうち前記イオン注入工程でイオン注入された領域の表面上に、絶縁材料からなる第1の膜を形成する工程と、前記レジストパターンの形成されていた領域に残っている前記上部絶縁膜及びその間の第1の膜の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

(付記20) 前記半導体基板がシリコン基板であり、前記第1の膜を形成する工程において、前記キャリアトラップ膜をマスクとして、該半導体基板の表層部を局部的に酸化することによって前記第1の膜を形成する付記19に記載の半導体装置の製造方法。

(付記21) シリコンからなる半導体基板の表面のうち、ある間隔を隔てて相互に平行に配置された一対の細長い領域をレジストパターンで覆う工程と、前記レジストパターンをマスクとして、前記半導体基板の表層部に、不純物をイオン注入する工程と、前記半導体基板の表層部を酸化することにより、イオン注入された領域の表面上には、酸化シリコンからなる第1の膜を形成し、イオン注入されていない領域の表面上には、該第1の膜よりも薄いゲート絶縁膜を形成する工程と、前記第1の膜及びゲート絶縁膜の上に、該ゲート絶縁膜よりもキャリアをトラップし易い材料で形成されたキャリアトラップ膜、及び上部絶縁膜を順番に形成する工程と、前記上部絶縁膜の表面のうち、少なくとも前記ゲート絶縁膜及びその間の第1の膜の上方の領域の上に、ゲート電極を形成する工程とを有する半導体装置の製造方法。

【手続補正8】

【補正対象書類名】図面

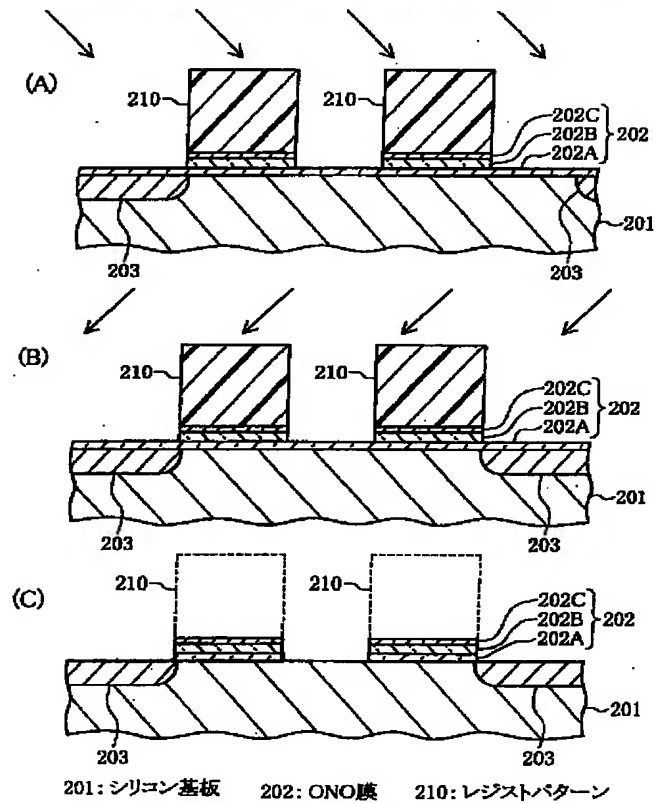
【補正対象項目名】図15

【補正方法】変更

【補正内容】

【図15】

第3の実施例による半導体装置の製造方法(その1)



フロントページの続き

F ターム(参考) 5F083 EP18 EP32 EP48 EP49 EP50
 ER03 ER22 GA05 GA11 JA04
 JA35 JA39 MA06 MA16 NA01
 NA04 PR03 PR21 PR36 PR37
 5F101 BA45 BC01 BF01 BF05 BH02
 BH03 BH05 BH09 BH14